



本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月29日

出 願 番 号

Application Number:

特願2001-200074

出 願 人

Applicant(s):

シャープ株式会社

RECEIVED

FEB 21 2002

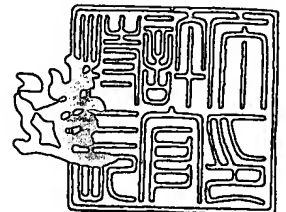
Technology Center 2600

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕



【書類名】 特許願

【整理番号】 01J02008

【提出日】 平成13年 6月29日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G09G 3/30
G09G 3/36
G02F 1/133 550

【発明の名称】 表示装置、携帯機器、基板

【請求項の数】 17

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 沼尾 孝次

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 10866

【出願日】 平成13年 1月18日

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置、携帯機器、基板

【特許請求の範囲】

【請求項 1】

複数の電気光学素子を備えた表示装置であって、
前記電気光学素子毎に記憶手段と電位保持手段を備え、
前記記憶手段と前記電位保持手段の出力を用いて前記電気光学素子の表示を制御することを特徴とする表示装置。

【請求項 2】

複数の第 1 配線と、前記第 1 配線と交差する方向に配置された複数の第 2 配線と、

前記第 1 配線と第 2 配線が交差する付近に配置させた電気光学素子を備えた表示装置であって、

前記第 1 配線と第 1 端子と接続された第 1 のスイッチング素子と、

前記第 1 のスイッチング素子の第 2 端子と上記記憶手段に直列に接続された第 2 のスイッチング素子と、

前記第 1 のスイッチング素子の第 2 端子と電氣的に接続された上記電位保持手段とを備えたことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記電位保持手段と直列に第 3 のスイッチング素子が接続されていることを特徴とする請求項 2 記載の表示装置。

【請求項 4】

複数の第 1 配線と、前記第 1 配線と交差する方向に配置された複数の第 2 配線と、

前記第 1 配線と第 2 配線が交差する付近に配置させた電気光学素子を備えた表示装置であって、

前記第 1 配線と第 1 端子と接続された第 1 のスイッチング素子と、前記第 1 のスイッチング素子の第 2 端子と電氣的に接続された上記記憶手段と、

前記第 1 配線と第 1 端子と接続された第 4 のスイッチング素子と、前記第 4 の

スイッチング素子の第 2 端子と電氣的に接続された上記電位保持手段とを持つことを特徴とする請求項 1 記載の表示装置。

【請求項 5】

前記電気光学素子と前記記憶手段の間に第 5 のスイッチング素子を持つことを特徴とする請求項 4 記載の表示装置。

【請求項 6】

前記記憶手段に接続させたスイッチング素子を用いて、前記記憶手段の出力と前記電位保持手段の出力を切り替えることを特徴とする請求項 1 ないし 5 のいずれかに記載の表示装置。

【請求項 7】

前記記憶手段または前記電位保持手段へ格納されたデータの重みに対応した期間、前記記憶手段または前記電位保持手段の出力を前記電気光学素子へ与えることを特徴とする請求項 1 ないし 6 のいずれかに記載の表示装置。

【請求項 8】

前記記憶手段または前記電位保持手段へ格納されたデータの重みに対応した電圧を発生させ、前記電気光学素子を表示することを特徴とする請求項 1 ないし 6 のいずれかに記載の表示装置。

【請求項 9】

前記記憶手段または前記電位保持手段へ格納されたデータの重みに対応した電流を発生させ、前記電気光学素子を表示することを特徴とする請求項 1 ないし 6 のいずれかに記載の表示装置。

【請求項 10】

上記電位保持手段と電源配線またはグランド配線との間に第 6 のスイッチング素子を備えたことを特徴とする請求項 1 ないし 9 のいずれかに記載の表示装置。

【請求項 11】

複数の電気光学素子が配置された表示装置であって、
前記電気光学素子毎に記憶手段を備え、
前記電気光学素子の電源線と、前記記憶手段の電源線を、別配線とすることを特徴とする表示装置。

【請求項 1 2】

前記電気光学素子へ表示させるべき信号を記憶した第 2 の記憶手段を、画素領域の外側に備えていることを特徴とする請求項 1 ないし 1 1 のいずれかに記載の表示装置。

【請求項 1 3】

前記記憶手段の信号と、前記第 2 の記憶手段から前記電位保持手段へ与えられた信号を用いて表示することを特徴とする請求項 1 2 に記載の表示装置。

【請求項 1 4】

前記記憶手段の信号と、前記第 2 の記憶手段から前記電位保持手段へ与えられた信号を用いて複数の映像を切り替えて表示することを特徴とする請求項 1 2 または 1 3 に記載の表示装置。

【請求項 1 5】

前記電気光学素子として、有機 E L 素子を用いることを特徴とする請求項 1 ないし 1 4 のいずれかに記載の表示装置。

【請求項 1 6】

請求項 1 ないし 1 5 のいずれかに記載の表示装置を備えたことを特徴とする携帯機器。

【請求項 1 7】

複数の電極を備えた基板であって、
前記電極毎に記憶手段と電位保持手段を備え、
前記記憶手段と前記電位保持手段の出力を用いて前記電極へ印加する電圧または電流を制御する手段を備えていることを特徴とする基板。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、画素毎にメモリ素子と発光素子を配置した表示装置、携帯機器、基板に関するものである。

【0 0 0 2】

【従来の技術】

近年、液晶ディスプレイに対抗するフラットパネルディスプレイとして有機EL (Electro Luminescence) ディスプレイが注目され、その表示回路や駆動方法の開発が盛んに行われている。

【0003】

この有機ELディスプレイの駆動回路・駆動方法は、大きくパッシブ駆動とアクティブ駆動に分かれるが、有機ELをアクティブ駆動する場合、画素を駆動するためのTFTはポリシリコンである必要がある。

【0004】

これは、有機ELのような自発光素子をTFT駆動する場合、その自発光素子を流れる電流量を確保するために、TFTを形成するシリコンの電荷移動度が必要になるからである。このことが、液晶のような非発光のシャッタ素子ならアモルファスシリコンで充分なのに、有機ELではポリシリコンが必要となる理由である。

【0005】

この有機ELの画素TFT構成として、特にメモリ素子を用いた構成が特開平2-148687号(特許2729089号)公報で示されている。

【0006】

図26は同公報に示された1画素(白黒ディスプレイでは「1画素=1ドット」であるが、カラーディスプレイでは「1画素=RGB3ドット」となる。従って、正確には1ドットと表現すべきところだが、ここでは、そのような厳密な区別は省略する)当たりの回路構成である。

【0007】

すなわち、この特開平2-148687号公報においては、図26のように1画素を複数のメモリセル221すなわち $C_n \sim C_{n-3}$ と、それらのメモリセルを選択するためのトランジスタ222すなわち $D_n \sim D_{n-3}$ と、定電流回路225と有機EL素子226から構成する。

【0008】

定電流回路225はFET223、224を用いたカレントミラー回路なので、有機EL226を流れる電流は、FET $D_n \sim D_{n-3}$ を流れる電流の総和によ

り決まる。そして、この $FETD_n \sim D_{n-3}$ を流れる電流は、メモリセル $C_n \sim C_{n-3}$ に保存されたデータにより決まる $FETD_n \sim D_{n-3}$ のゲート電圧により設定される。

【0009】

なお、このメモリセル 221 の構成は図 27 のように示されている。すなわち、ロー制御信号により CMOS インバータ 228、MOS 伝送ゲート 227、229 が制御される。このロー制御信号が選択状態のとき、MOS 伝送ゲート 227 が導通状態、MOS 伝送ゲート 229 が非導通状態となるので、コラム入力信号 B_n が MOS 伝送ゲート 227 を通し CMOS インバータ 230 のゲートに入力される。また、このロー制御信号が非選択状態のとき、MOS 伝送ゲート 227 が非導通状態、MOS 伝送ゲート 229 が導通状態となるので、CMOS インバータ 231 の出力が MOS 伝送ゲート 229 を通して CMOS インバータ 230 に帰還する。なおこのメモリセル 221 は、CMOS インバータ 230 の出力を CMOS インバータ 231 および MOS 伝送ゲート 229 を通して CMOS インバータ 230 のゲートに帰還させるので、この回路はインバータ 2 段を用いたスタティックメモリ回路と考えられる。

【0010】

このように特開平 2-148687 号公報には、有機 EL ディスプレイ用の画素 TFT 構成として、ポリシリコン TFT を用いたメモリ構成が開示されている。

【0011】

上記特開平 2-148687 号公報に示された図 26 の画素メモリ構成は、画素毎に複数のメモリセル $C_n \sim C_{n-3}$ を持つが、画素毎にカレントミラー回路 225 を持ち、そのカレントミラー回路によりデジタル信号をアナログ信号（電流値）に変換している。

【0012】

このようなカレントミラー回路を用いた構成の場合、カレントミラー回路を構成する TFT 223, 224 の特性が揃っていることが必要である。しかし、液晶表示装置などに用いられるポリシリコンプロセスで TFT を作っても、隣接する TFT で特性が揃っているという保証はない。

【0013】

従って、図26のようなアナログ階調表示においてはポリシリコンTFTの特性バラツキという問題があり、画面全面での均一な階調表示は難しい。

【0014】

そこで、デジタル階調表示を行いポリシリコンTFTの特性バラツキを抑えることが考えられている。図33はそのデジタル階調表示方法として時間分割階調表示方法を用いる場合の画素回路構成である。すなわち、有機EL108を駆動するためのTFT107と、そのTFT107の導通状態を制御するための電圧を貯めるコンデンサ119と、そのコンデンサ119の電圧を制御するためのTFT106から構成される。この構成において、図34のように1フレーム期間TFに数回各画素のコンデンサ119の電圧を書き換え、その電圧をTFT107を導通状態とする電圧か、非導通状態とする電圧かで階調表示する方法である。

【0015】

また、液晶表示装置においてポリシリコンTFTを用いてスタティックメモリ構造を画素毎に作り込む構成が特開平8-194205号公報に開示されている。

【0016】

すなわち、この特開平8-194205号公報においては、図28のように第1のガラス基板上に画素電極202がマトリクス状に配置されており、画素電極202間には横方向に走査線203が、縦方向に信号線204が配置されている。また、走査線203と平行に参照線205が配置されている。走査線203と信号線204の交差部に後述するメモリ素子206が設けられ、メモリ素子206と画素電極202間にはスイッチ素子207が設けられている。

【0017】

上記第1のガラス基板上には所定距離離して第2のガラス基板が対向配置されており、第2のガラス基板の対向面には対向電極が形成されている。そして、2つのガラス基板間に表示材料層としての液晶層が封入されている。なお、図28の208は走査線ドライバ、209は信号線ドライバ、210は参照線ドライバ

である。

【 0 0 1 8 】

図 2 9 は、図 2 8 の画素部の構成を示す回路図である。マトリクス状に形成された走査線 2 0 3 と信号線 2 0 4 の交差部に 2 値データ保持メモリ素子 2 0 6 が接続されており、このメモリ素子 2 0 6 には、保持されている情報を入力する出力部が設けられている。出力部には、3 端子スイッチ素子 2 0 7 としての T F T 2 1 4 が接続されている。このスイッチ素子 2 0 7 は、参照線 2 0 5 と画素電極 2 0 2 との間の抵抗値を制御し、液晶層 2 1 5 のバイアス状態を調整している。

【 0 0 1 9 】

この図 2 9 ではメモリ素子 2 0 6 として 2 段インバータを用い正帰還させた形のメモリ回路、すなわちスタティック型メモリ素子が使われている。すなわち、信号線 2 0 4 から与えられたデータが T F T 2 1 1 が導通状態のときインバータ 2 1 2 のゲート端子へ入力される。このインバータ 2 1 2 の出力はインバータ 2 1 3 を通してインバータ 2 1 2 のゲート端子に再入力されるので、T F T 2 1 1 が導通状態のときインバータ 2 1 2 に書き込まれたデータが同極性でインバータ 2 1 2 に帰還され、再度 T F T 2 1 1 が導通状態となるまで保持される。

【 0 0 2 0 】

このように特開平 8 - 1 9 4 2 0 5 号公報には、液晶ディスプレイ用の画素 T F T 構成として、ポリシリコン T F T を持ったメモリ構成が開示されている。すなわち、この公報に開示されている図 2 9 の T F T 基板構成は、画素毎にスタティックメモリ 2 0 6 を持ち、この画素メモリに蓄えられたデータで 2 値表示を行う構成である。

【 0 0 2 1 】

また、表示部の外側にメモリ機能を持たせた液晶表示装置の回路構成が特開 2 0 0 0 - 2 2 7 6 0 8 号公報に開示されている。

【 0 0 2 2 】

図 3 0 は同公報に示された表示基板のブロック構成図である。

【 0 0 2 3 】

すなわち、この特開 2 0 0 0 - 2 2 7 6 0 8 号公報においては、表示基板にお

ける表示部 3 1 0 はラインバッファ 3 0 9 を通して画像メモリ 3 0 8 へ接続されている。この画像メモリ 3 0 8 はメモリセルがマトリクス上に配列されており、表示部 3 1 0 の画素と同一のアドレス空間を有するビットマップ構成を有している。アドレス信号 3 0 3 は、メモリ制御回路 3 0 6 を通して、メモリライン選択回路 3 1 1、コラム選択回路 3 0 7 へ入力される。このアドレス信号 3 0 3 により指定されたメモリセルが図示しないコラム線、およびライン線により選択され、そのメモリセルへ表示データ 3 0 4 が書き込まれる。こうして書き込まれた後、メモリライン選択回路 3 1 1 に入力されたアドレス信号により、選択画素を含む 1 ライン分のデータがラインバッファ 3 0 9 に出力される。ラインバッファ 3 0 9 は表示部の信号配線に接続されているので、この読み出されたデータは図示しない信号配線へ出力される。

【 0 0 2 4 】

また、アドレス信号はアドレスライン変換回路 3 0 5 にも入力されており、表示ライン選択信号回路 3 1 2 により、図示しないライン選択配線に選択電圧を印加する。

【 0 0 2 5 】

この動作によって、画像メモリ 3 0 8 のデータが表示部 3 1 0 へ書き込まれる。

【 0 0 2 6 】

この表示部 3 1 0 の画素回路構成は図 3 1 に示す構成である。すなわち、ライン選択配線 4 0 1 により制御 T F T 4 0 5 を制御し、信号配線 4 0 2 により与えられたデータを共通配線 4 0 4 と制御 T F T 4 0 5 の間にあるコンデンサ 4 0 6 に保持し、このコンデンサ 4 0 6 の電圧により駆動 T F T 4 0 9 の導通、非導通を制御し、表示電極 4 0 8 へ液晶基準配線 4 0 3 により与えられた電圧を印加する、しないが決められる。なお、ソースドレイン端子間には補償コンデンサ 4 0 9 が接続されている。

【 0 0 2 7 】

図 3 2 は上記表示部 3 1 0 の別の画素回路構成である。液晶を駆動する T F T としてアナログスイッチ 5 0 4 を用いて駆動する。この pchTFT および nchTFT から

なるアナログスイッチを駆動するため、サンプリングコンデンサ 5 0 3, 5 0 7 およびサンプリング T F T 5 0 2, 5 0 6 からなるメモリ回路を各々 2 系統設け、極性の異なるデータを 2 本のデータ配線 5 0 1, 5 0 5 をもちいて供給し、共通のライン選択配線 4 0 1 に接続し、同時にサンプリングすることにより表示動作する。

【 0 0 2 8 】

またアナログスイッチを駆動するための極性の異なるデータを、メモリ回路を 2 系統設けるのではなく、画素内部に設けたインバータ回路により生成する構成や、メモリ回路として半導体に用いられるメモリ回路を T F T を用いて構成することなどが記載されている。

【 0 0 2 9 】

このように特開 2 0 0 0 - 2 2 7 6 0 8 号公報には、液晶ディスプレイ用のポリシリコン T F T 基板構成が開示されている。すなわち、図 3 0 の T F T 基板構成は、表示部 3 1 0 の外に S R A M で構成される画像メモリ 3 0 8 を持ち、さらに、表示部 3 1 0 に図 3 1 や図 3 2 のコンデンサで構成される画素メモリを持ち、この画素メモリに蓄えられた 2 値データで表示を行う構成である。

【 0 0 3 0 】

【発明が解決しようとする課題】

上述したように、デジタル階調表示を行いポリシリコン T F T の特性バラツキを抑えることが考えられている。しかし、このような時分割階調表示方法では P D P (プラズマディスプレイパネル) などで見られる動画偽輪郭の発生が予想される。この動画偽輪郭の発生の仕組みを図 3 5 を用いて説明すると、階調レベル 3 1 の背景に階調レベル 3 2 の模様が動くとき、視線が図 3 5 の破線 (a) ~ (d) のように動くので、その視線移動上の画素の視線移動時の階調パターンが見えてしまう。例えば、破線 (a) では視線が階調 1, 2, 4, 8 と 3 2 の点灯タイミングと被るので階調レベル 4 7 が見えるが、破線 (d) では階調 1 6 の点灯タイミングしか被らないので階調レベル 1 6 が見える現象である。

【 0 0 3 1 】

そのため、P D P 等でなされている動画偽輪郭対策では、ビット (b i t) の

重みの大きなデータを複数回に分けて、ビットの重みの少ないデータの前後で表示することで、動画偽輪郭を低減している。すなわち、ビットの重みの大きなデータが一定のフレーム期間の周期の間に複数回出現することで、動画偽輪郭を少なくしている。

【 0 0 3 2 】

しかし、PDP等では上記ビットの重みの大きなデータを複数回表示するため、1回の表示毎に表示走査が必要であるという問題がある。

【 0 0 3 3 】

本発明の第1の目的は上記課題に対しなされたものであり、新たな走査を行わずビットの表示期間を分割する手段を提供することである。

【 0 0 3 4 】

また、特開平2-148687号公報では、画素毎に図26の回路を配置している。最近の液晶ディスプレイでも64階調表示を実現させているのだから、この場合も各画素に6ビット分のメモリを配置する必要がある。しかし、通常のディスプレイの画素サイズはRGB3画素で150[μm]×150[μm]～300[μm]×300[μm]程度である。このサイズにゲート配線やソース配線や電源配線を施し、更に図26のような構成で6ビット分のメモリ回路を組み込むことは、現在の低温ポリシリコンプロセスでも困難である。せいぜい、4ビット分のメモリを組み込める程度であろう。しかし、それでは16階調しか表示できず、商品性の乏しいディスプレイとなってしまう。

【 0 0 3 5 】

一方、特開平8-194205号公報では、画素に1ビットのメモリしか配置していない。この程度なら現在の低温ポリシリコンプロセスでも実現できるが、静止画表示時はこの1ビットのメモリで表示を行うので、2値画像表示(RGBカラーなのでマルチカラー表示)しか表示できない。

【 0 0 3 6 】

本発明の第2の目的は上記課題に対してなされたものであり、画素に配置するメモリ数より多くの多階調表示を実現できる表示基板の回路構成を提供することである。

【0037】

なお、特開2000-227608号公報では、画素（表示領域）の外側にメモリを配置するので、上記課題は発生しない。しかし、表示領域の外側にメモリを配置するということは、その分、表示基板の面積を大きくする必要がある。これは、同一のガラス基板から、TFTプロセスを経て得られる（同一の表示面積を持った）基板の数が少なくなることを意味する。即ち、同一の表示面積を持った基板当たりの製造コストを増大させる結果を生む。

【0038】

基板にメモリを持たせる最大の効果は低消費電力化と考えられる。この低消費電力化が一番競争力を生むのは携帯機器市場である。しかし、この手段では同一の表示面積を持ったディスプレイでも基板サイズが大きくなるので、小型化軽量化を必要とする携帯機器市場向け手段としては好ましくない。

【0039】

本発明の第3の目的は上記課題に対してなされたものであり、表示領域の外側にメモリを配置する表示基板構成において、表示領域の外側に配置するメモリの数を減らし、より小さな基板サイズで同等な階調数を出すことができる表示基板の回路構成を提供することである。

【0040】

【課題を解決するための手段】

上記第1の目的を実現させるための本発明の第1の手段は、時間分割階調表示を行う表示装置において、電気光学素子毎に記憶手段と電位保持手段を対応させ、前記記憶手段と前記電位保持手段の出力を用いて前記電気光学素子の表示を制御することを特徴とした構成である。

【0041】

この構成で、上記第1の目的である表示画面に複数の電気光学素子を配置して時間分割階調表示を行う場合の動画偽輪郭の発生量を抑えるには、大きな重みを持ったビットデータ（1ビットでも複数ビットでも、電気光学素子毎に配置したメモリの個数以内のビット数）を記憶手段へ記憶させ、電位保持手段を用いて残りのビットデータを時間分割階調を行って表示している隙間に、前記記憶手段に

記憶させたビットデータを分割して表示する。このことで、連続して表示される階調データの最大の長さが短くなり、動画偽輪郭の発生量を抑えることができる。

【 0 0 4 2 】

前記記憶手段に記憶させたビットデータを分割して表示する場合、前記記憶手段の出力を用いて前記電位保持手段の電位を制御し、その電位保持手段の電位を用い前記電気光学素子を制御する場合と、前記電位保持手段と前記記憶手段の出力をスイッチング素子を用いて切り替え、その切り替えた電位を用いて前記電気光学素子を制御する場合がある。このスイッチング素子としては液晶ディスプレイなどで使われている T F T 素子などがある。

【 0 0 4 3 】

この記憶手段が複数ある場合は、上記階調表示を行う以外に、スイッチング素子を用いてこの複数の記憶手段や電位保持手段を切り替え、その出力を電気光学素子へ与えることで、複数の映像を切り替えて表示することができる。この機能は、表示装置の外部の C P U 等の信号源に電源を入れなくても実現できるので、表示装置の低消費電力化に有効である。

【 0 0 4 4 】

上記第 2 の目的を実現させるための本発明の第 1 の手段は、電気光学素子毎に記憶手段と電位保持手段を対応させ、前記記憶手段と前記電位保持手段の出力を用いて前記電気光学素子の表示を制御することを特徴とした構成である。

【 0 0 4 5 】

この構成は、上記第 2 の目的である電気光学素子毎に配置させたメモリ数より大きな多階調表示を実現するために、電気光学素子毎にメモリの他に（メモリを 1 個削っても）電位保持手段を設ける。そして、この電位保持手段へ複数のビットデータを時間分割的に取り込むことで、（前記メモリ数 + 1）ビット階調以上の表示が得られる。

【 0 0 4 6 】

この場合の上記記憶手段と電位保持手段を併用する階調表示方法には、上記時間分割階調表示方法と以下に示すアナログ階調表示方法がある。アナログ階調表

示方法では前記記憶手段と前記電位保持手段を同時に用い電圧や電流を発生させて、前記電気光学素子へ与え、階調表示を行う。

【0047】

この場合、多階調表示のために、前記電気光学素子へ表示するデータを前記記憶手段とするか前記電位保持手段とするかを切り替えるためのスイッチング素子を配置する必然性はない。しかし、複数の映像を切り替えて表示可能とするためには、スイッチング素子を配置することが好ましい。

【0048】

また、この場合は、以下の前記電位保持手段へ与えるビットデータを画素（表示領域）外に配置させたメモリから取り込む場合と、それ以外のCPU等の外部信号発生器から取り込む場合がある。

【0049】

上記第3の目的を実現させるための本発明の第1の手段は、画素（表示領域）外にメモリを配置した表示装置において、電気光学素子毎に記憶手段と電位保持手段を対応させ、前記記憶手段と前記電位保持手段の出力を用いて前記電気光学素子の表示を制御することを特徴とした構成である。

【0050】

この構成は、上記第3の目的である画素（表示領域）外に配置するメモリ量を減らすために、一部のメモリを画素に配置する。この画素外のメモリと画素に配置させたメモリを同時に用いて階調表示するために、画素に電位保持手段を設け、画素外のメモリデータを時間分割的に取り込み階調表を行わせる。

【0051】

この場合、特に表示装置の外部のCPU等の信号源に電源を入れなくても、多階調な複数映像表示の切り替えが行えるので、表示装置の低消費電力化に有効である。

【0052】

従って、上記記憶手段としては電源を切ってもデータが消えないFRAMのような不揮発性メモリや、電源を入れている間はデータが消えない（CMOSインバータを2個互いの出力を入力に戻す）SRAMのようなスタティックメモリ、

数フレーム期間はデータが消えないコンデンサのようなダイナミックメモリ構成が適用できる。

【0053】

特に上記第1の目的を達成するためであれば、上記記憶手段として簡単なコンデンサを用いたダイナミックメモリ構成でも構わない。

【0054】

また、上記電位保持手段は外部からのデータを一時的に保持するメモリと考えられるので、上記不揮発性メモリやスタティックメモリを当てることもできる。ただ、実際にデータを保持する期間が短いので、構成の簡単なコンデンサを用いる方が好ましい。

【0055】

本発明で用いられる電気光学素子は、液晶素子や、自発光素子にその自発光素子を駆動するためのアクティブ素子が付いた素子などが存在する。

【0056】

特に電気光学素子として液晶を用いる場合、液晶自体がコンデンサなので上記電位保持手段を兼ねることができる。この場合、必ずしも電位保持手段が目に見えるわけではない。

【0057】

また、電気光学素子として自発光素子にその自発光素子を駆動するためのアクティブ素子が付いた構成を用いる場合、アクティブ素子と上記電位保持手段の間にも浮遊容量があるので、上記電位保持手段自体が浮遊容量である場合も考えられる。この場合、必ずしも電位保持手段が目に見えるわけではない。

【0058】

このアクティブ素子としても液晶ディスプレイなどで使われているTFT素子などが使われる。

【0059】

このような構成は表示装置になる前のTFT基板の段階で判る。この基板の所定の電極へ電気光学素子を作り込むことで表示基板となる。

【0060】

上記本発明の第 1 の手段は、表示基板上に複数の電気光学素子を配置した構成において有効である。この複数の電気光学素子に対応した記憶手段や電位保持手段へ表示基板の外部からデータを送りつける構成には、各記憶手段および電位保持手段毎に配線を設ける方法と、1 つの配線に記憶手段または電位保持手段を複数配置する方法がある。

【 0 0 6 1 】

後者の方法では、前記配線と前記記憶手段または電位保持手段との間に新たなスイッチング素子が必要である。このような構成の代表としてマトリックス構成がある。

【 0 0 6 2 】

即ち、表示基板に複数の第 1 配線（データ線またはソース線）と、この第 1 配線と交差する方向に配置された複数の第 2 配線（走査線またはゲート線）を形成し、前記電気光学素子と記憶手段と電位保持手段を、この第 1 配線と第 2 配線が交差する付近に配置させ、その第 1 配線と記憶手段および電位保持手段との間に第 1 のスイッチング素子を配置する。

【 0 0 6 3 】

この第 1 のスイッチング素子は、TFT のような 3 端子構成をとり、その第 1 端子（ソース端子）が前記第 1 配線と接続され、その第 2 端子（ドレイン端子）が前記電気光学素子および記憶手段および電位保持手段と直接もしくは間接的に接続され、その第 3 端子（ゲート端子）が前記第 2 配線と接続された構成を取る。

【 0 0 6 4 】

上記構成は、第 1 のスイッチング素子の第 2 端子（ドレイン端子）と、前記電気光学素子および記憶手段および電位保持手段がどのような関係で接続させるかで、多くの構成が提案できる。

【 0 0 6 5 】

即ち、その第 1 の構成として提案できるのは、電気光学素子毎に第 1 のスイッチング素子を設けた構成である。そして、その第 1 のスイッチング素子の第 1 端子（ソース端子）を第 1 配線（データ線）と接続し、前記第 1 のスイッチング素

子の第2端子（ドレイン端子）とメモリ素子等の記憶手段を電氣的に接続する。
また、その第1のスイッチング素子の第2端子（ドレイン端子）とコンデンサ素子等の電位保持手段を電氣的に接続し、前記第1のスイッチング素子の第2端子（ドレイン端子）を電気光学素子へ接続する。

【0066】

ここで第1のスイッチング素子の第2端子（ドレイン端子）とメモリ素子等の記憶手段を電氣的に接続するとは、メモリ素子等の記憶手段と第2のスイッチング素子を直列に接続し、上記第1のスイッチング素子の第2端子（ドレイン端子）へ接続することである。この場合、上記記憶手段がスタティックメモリ素子の場合、上記第2のスイッチング素子は第1のスイッチング素子の第2端子（ドレイン端子）と記憶手段の間に介在することが好ましい。また、上記記憶手段が強電体メモリを含むコンデンサの場合、上記記憶手段が第1のスイッチング素子と第2のスイッチング素子の間に介在することも可能である。

【0067】

また、上記第1のスイッチング素子の第2端子（ドレイン端子）とコンデンサ素子等の電位保持手段を電氣的に接続するとは、上記記憶手段と同様に第3のスイッチング素子を直列に接続する場合と、（電位保持手段がコンデンサの場合は）第3のスイッチングを用いずに直接接続する場合がある。

【0068】

前者の構成では、記憶手段の電位により電位保持手段の電位がチャージアップされることがないので、低消費電力化に効果がある。後者の場合は、第3のスイッチング素子を配置する必要がないので、その分他の素子を配置するスペースが作れる効果がある。

【0069】

上記構成では、上記記憶素子と電位保持手段の出力を基に電圧または電流を発生させ、前記電気光学素子へ与え表示を行う。

【0070】

この場合、前記記憶手段または電位保持手段の出力を、前記第2のスイッチング素子や第3のスイッチング素子等を用いて切り替えて、前記電気光学素子へ与

える電圧または電流を発生させ、多階調表示や複数映像表示の切り替えを行うことができる。

【 0 0 7 1 】

この場合に多階調表示を行うには、前記記憶手段または電位保持手段へ保持されたデータのビットの重みに比例した期間、前記記憶手段または電位保持手段の出力を前記電気光学素子へ与える時間分割階調表示方法が取れる。

【 0 0 7 2 】

また、上記時間分割階調表示を用いなくとも、前記記憶手段または電位保持手段へ保持されたデータのビットの重みに比例した電圧または電流を発生させて、前記電気光学素子へ与えることも可能である。

【 0 0 7 3 】

その第 2 の構成として提案できるのは、記憶手段に対応して第 1 のスイッチング素子を設け、電位保持手段に対応して第 4 のスイッチング素子を設ける構成である。そして、その第 1 のスイッチング素子の第 1 端子（ソース端子）を第 1 配線（データ線）と接続し、前記第 1 のスイッチング素子の第 2 端子（ドレイン端子）とメモリ素子等の記憶手段に接続する。その第 4 のスイッチング素子の第 1 端子（ソース端子）を第 1 配線（データ線）と接続し、前記第 4 のスイッチング素子の第 2 端子（ドレイン端子）とコンデンサ素子等の電位保持手段に接続する。

【 0 0 7 4 】

上記構成でも、上記記憶素子と電位保持手段の出力を基に電圧または電流を発生させ、前記電気光学素子へ与え表示を行う。

【 0 0 7 5 】

この場合、前記記憶手段または電位保持手段の出力を切り替えて、前記電気光学素子へ与える電圧または電流を発生させ、多階調表示や多映像表示を行うためには、上記記憶手段や電位保持手段と電気光学素子の間に第 5 のスイッチング素子が必要である。

【 0 0 7 6 】

この場合に多階調表示を行うには、前記記憶手段または電位保持手段へ保持さ

れたデータのビットの重みに比例した期間、前記記憶手段または電位保持手段の出力を前記電気光学素子へ与える時間分割階調表示方法が取れる。

【0077】

また、上記時間分割階調表示を用いなくとも、前記記憶手段または電位保持手段へ保持されたデータのビットの重みに比例した電圧または電流を発生させて、前記電気光学素子へ与えることも可能である。

【0078】

上記電気光学素子としては、液晶素子や、電源とグランド間に自発光素子とアクティブ素子（TFT素子）を直列に入れた構成が考えられる。

【0079】

上記本発明の第1の手段は記憶素子を用いた表示装置での低消費電力化の効果が大きいので、自発光素子としては有機ELのような発光効率の良いデバイスに用いることが好ましい。

【0080】

このように、本発明の第1の手段を用いて第1の目的を実現させるために、本発明の表示装置では、走査線ごとに並んだ画素に、フレーム期間ごとに表示すべきデータの階調に応じた時間だけ水平走査期間内で電圧が印加されることで、その階調に応じた量の電気光学変化を起こし、そのフレーム期間に対するデータを表示する電気光学素子を持つ表示装置の駆動方法において、1フレーム期間内に第1、第2および第3の期間をこの順に設けるとともに、1フレーム期間内に、上記第3の期間よりも前にデータ保持期間を設け、上記第1の期間に、最大階調（最大重みビット）のデータに対応する時間だけ電圧を上記電気光学素子に印加し、上記データ保持期間に、上記最大階調のデータを第1のメモリ素子に保持させ、上記第2の期間に、最大階調未満のデータに対応する時間だけ電圧を上記電気光学素子に印加し、上記第3の期間に、上記第1のメモリ素子に保持させた最大階調のデータの残りの時間に対応する時間だけ電圧を上記電気光学素子に印加する構成とすることができる。

【0081】

上記の構成により、最大階調のデータに対する電圧印加が、1フレーム期間内

で、最大階調未満のデータに対する電圧印加期間を挟んで、複数回に分けて行われる。そして、その際、最大階調のデータに対する電気光学素子への印加1回目の電圧を、第1のメモリ素子に保持させておき、2回目以降は、また外部から入力されるのではなく、その第1のメモリ素子から電圧を取り出すようにする。

【0082】

したがって、ビットの重みの大きなデータを第2の期間に画素毎に保持することで、第3の期間に行うビットの重みの大きなデータを複数表示する動作が、表示走査することなく実現できる。それゆえ、1回の表示毎に表示走査を行うことなく、動画偽輪郭の発生を抑制することができる。

【0083】

本発明の第1の手段を用いた時間分割階調表示方法の1例として示す駆動方法は、走査線ごとに並んだ画素に、フレーム期間ごとに表示すべきデータの階調に応じた時間だけ水平走査期間内で電圧が印加されることで、その階調に応じた量の電気光学変化を起こし、そのフレーム期間に対するデータを表示する電気光学素子を持つ表示装置の駆動方法において、走査線数を m 本とし、各画素で表示する階調ビット数を K とし、1フレーム期間を m 個の単位期間に分割し、各単位期間を K 個の選択期間に分割し、ある走査線上の画素の電気光学素子内のデータを水平走査期間内で書き換える際に、 j を1以上 K 未満の整数とし、 $p(j)$ （ただし $j = 1, 2, 3, \dots, K-1$ ）および $p(K)$ をそれぞれ、1以上 K 以下の互いに異なる整数とし、すべての j について、 j ビット目のデータを、ある単位期間 $N(j)$ 内の第 $p(j)$ 番目の選択期間のタイミングで電気光学素子に供給し、 K ビット目のデータを、ある単位期間 $N(K)$ 内の第 $p(K)$ 番目の選択期間のタイミングで第1のメモリ素子に供給し、その後、その第1のメモリ素子から電気光学素子に供給する構成とすることができる。

【0084】

上記の構成により、最大階調（最大重みビット）のデータが、1フレーム期間内のある単位期間内のある選択期間のタイミングで第1のメモリ素子へ供給され、その後、第1のメモリ素子で保持されたこの最大階調のデータに対する電圧が電気光学素子へ印加される。すなわち、最大階調のデータに対する電圧を、第1

のメモリ素子に保持させておき、電気光学素子に電圧を印加する際には、外部から入力されるのではなく、その第1のメモリ素子から電圧を取り出すようにする。

【0085】

したがって、ビットの重みの大きなデータを画素毎に保持することで、ビットの重みの大きなデータを複数表示する動作が、表示走査することなく実現できる。それゆえ、1回の表示毎に表示走査を行うことなく、動画偽輪郭の発生を抑制することができる。

【0086】

また、本発明の第1の手段を用いた時間分割階調表示方法では、上記電位保持手段と、OFF輝度設定配線との間に第6のスイッチング素子を設ける構成が好ましい。

【0087】

電位保持手段が電気光学素子へ（スイッチング素子を介さないで）直接接続されている場合、上記第1の構成では、上記記憶手段から読み出された電圧により上記電位保持手段が変化し、その電位保持手段により電気光学素子へ印加される電圧または電流が制御される。そこで、上記第6のスイッチング素子を用いて、前記電位保持手段の電位をOFF輝度電位へ設定させる。

【0088】

また、電位保持手段が電気光学素子へスイッチング素子を介して接続されている場合でも、浮遊容量があるので、同様に上記第6のスイッチング素子を用いて、前記浮遊容量の電位をOFF輝度電位へ設定させることが好ましい。

【0089】

このように電位保持手段や浮遊容量に保持された電荷を、上記第6のスイッチング素子を用いて放電させることで、上記最大階調のデータに対応する電圧が電気光学素子へ印加されている時間を、最大階調の重みに合わせて調整することができる。

【0090】

上記説明では最大ビットのデータのみ画素に配置させたメモリへ記憶させる駆

動方法を説明したが、動画偽輪郭の発生量はその分割されていない最大ビットの重みに比例する。従って、最大ビットのみ分割しても、次のビットの重み分の動画偽輪郭が発生する。

【 0 0 9 1 】

そこで、本発明においては画素に配置させたメモリをできるだけ多く使い上記時間分割階調表示を行うことが好ましい。

【 0 0 9 2 】

また、本発明の第 1 の手段は上記時間分割階調のみに有効なのではない。本発明の第 1 の手段は本発明の第 2 の目的である画素に配置するメモリの個数より多くのビット数の階調表示を実現することでもある。

【 0 0 9 3 】

このような多階調表示方法としての第 1 の構成は、複数のコンデンサを用い、それらコンデンサの一方の端子に与える電圧を上記記憶素子または電位保持手段により電源電圧またはグランド電位など 2 値制御することで、目的とする電気光学素子へ多段階の電圧を印加する構成である。

【 0 0 9 4 】

例えば、電気光学素子が液晶素子のとき、その一方の端子を対抗電極へ接続し、もう一方の端子へ複数のコンデンサを接続し、その複数のコンデンサのもう一方の端子へ与える電圧を上記記憶手段や電位保持手段の出力を用いて、対抗電圧と同じにするか異なる電圧にするか制御し、液晶へ印加される電圧を多段階で変化させる方法である。

【 0 0 9 5 】

このように液晶を駆動する場合、液晶の応答速度が遅いために、時分割的に印加した電圧でも、その平均電圧に対応した表示状態となるので、もともと動画偽輪郭は発生しない。即ち、液晶において本発明の手段 1 を適用する場合、その目的は動画偽輪郭を抑えることではなく、画素に配置された限られた数のメモリを活かし、より多階調表示を得ることにある。

【 0 0 9 6 】

また例えば、上記液晶素子の代わりにコンデンサを配置し、上記電圧を自発光

素子（有機EL）へ電流を供給するためのTFT（アクティブ素子）へ与えることで、電気光学素子を流れる電流を制御することもできる。

【0097】

また、自発光素子（有機EL）へ電流を供給するためのTFT（アクティブ素子）を複数設け、各々のTFTを上記記憶手段や電位保持手段の出力を用いて2値制御しても、自発光素子（有機EL）へ供給される電流を多段階で変化させることができる。

【0098】

この場合、有機ELの応答速度が速いために、時分割的に供給した電流により動画偽輪郭が発生するが、この場合でも第1の動画偽輪郭を抑える目的の他に、第2の画素に配置された限られた数のメモリを活かし、より多階調表示を得る目的を果たすことができる。

【0099】

また、本発明の手段は、液晶表示素子や自発光素子（有機EL）等の電気光学素子と接続する画素電極と、その画素電極へ電圧を印加する第1のメモリ素子を持った表示装置であって、上記電気光学素子の電源電圧と、上記電気光学素子への電圧印加のオンオフ時期を決める信号として上記第1のメモリ素子に印加するオンオフ電圧とを、別個の電源とする構成とすることができる。

【0100】

上記の構成により、電気光学素子の電源電圧と、第1のメモリ素子に印加するオンオフ電圧とが別個の電源となっている。したがって、電気光学素子の電源電圧が変動しても、第1のメモリ素子に印加される電圧が変動しない。それゆえ、上記の構成による効果に加えて、駆動用TFTのように上記第1のメモリ素子を駆動する素子のゲート電圧 V と、有機EL等の自発光素子のように上記電気光学素子を流れる電流 I との関係において、 $V-I$ 特性の変化を抑えることができ、特に自発光素子で、安定な輝度特性を得ることができる。

【0101】

また、本発明の表示装置は、上記表示装置の駆動方法に用いられる表示装置であって、外部より入力されたデータを、列ごとに走査される上記画素のデータへ

変換するための第2のメモリ素子を備えていることが好ましい。

【0102】

上記の構成により、画素単位で送られてきたビットデータを、上記駆動方法で必要とされるタイミングで、第2のメモリ素子から直接、1列分のデータについて並列に画素へ転送できる。また、このデータ変換に必要なコントロール回路を備えさせることで、上記駆動方法を気にせずに使用できる。また、SRAM等の第2のメモリ素子から直接画素メモリへ書き込むことで、第2のメモリ素子から信号線ドライバ（SEGドライバ）へシリアルにデータを転送する必要がなくなる。それゆえ、上記の構成による効果に加えて、信号線ドライバを通す場合と比べ、SRAM等から信号線ドライバへデータを転送するための手間と電力が削除でき、そのためのエネルギーが省け、表示装置全体の低消費電力化を図ることができる。

【0103】

以前は、液晶表示装置などのディスプレイへ入力させる映像データはアナログデータであった。そのためか、最近のデジタルデータでも画素毎に表示階調数に相当するビットデータを一緒に入力する構成をとる。この構成は、CPUからビデオRAMへ送られてくるデータでも同じである。一方、本発明の第1の目的が発生する時間分割階調の場合ビット毎に表示走査される。従って、この直素毎に送られてくる入力データをビット毎に表示する時分割表示用データに変換しなければならない。

【0104】

そこで、本発明の手段2では上記データ変換のために表示領域（画素）外に、表示画面の各電気光学素子の配置に対応した第2のメモリ素子（メモリアレイ）を持たせる。

【0105】

表示装置の外部からCPUを用いて、ランダムに1画素分のデータを上記第2のメモリ素子へ書き込む構成では、上記メモリアレイに配置するメモリの数は、各電気光学素子へ表示させる階調数に対応しただけ配置することが好ましい。

【0106】



しかし、表示装置の外部から1ライン分のデータをシリアルに送ってくる入力信号では、前記データを1ライン分ラインメモリ等に保持し、その各画素に対応したビットデータを画素に配置させた第1のメモリ素子と、画素（表示領域）外に配置させた第2のメモリ素子の間で、割り振って記憶することが好ましい。

【0107】

上記構成により、本発明の第3の目的が実現される。

【0108】

即ち、画素に配置させた第1のメモリ素子の数だけ、画素（表示領域）外に配置する第2のメモリ素子の数を減らし、入力された階調数分のデータを表示できる表示装置をより小さな基板サイズで実現できる。

【0109】

この場合、画素（表示領域）外に配置した第2のメモリ素子のデータは、画素に配置した電位保持手段へ時間分割的に取り込むことで、画素に配置した第1のメモリ素子と同様に電気光学素子の表示に反映させる。

【0110】

また、上記構成では画素内にAビットのメモリ素子、画素外にBビットのメモリ素子を配置するので、合計（A+B）ビットの表示データが存在する。総てのメモリ素子が独立したデータを保持できるとは限らないが、それらの表示データを用いて複数の映像を記録することも可能である。

【0111】

例えば、上記（A+B）ビットのうち、1ビット分はデータのやり取りに使って、独立したデータを保持できないとしても、残り（A+B-1）ビットのデータを用いれば、各電気光学素子当たり1ビットの映像データであれば、（A+B-1）個の映像が、外部から新たにデータを取り込まずに表示切り替えができる。

【0112】

このことは、表示装置の外部のCPU等の回路を動作させず（電源を入れず）に実現できることを意味する。これは、上記（A+B-1）ビットの範囲であれば、携帯端末等で簡単な待ち受け画面等を動画像的に表示できることを意味する。

ので、この構成はそのような携帯端末機器で有効である。

【0113】

また、電気光学素子として自発光素子を用いるとき、このような低消費電力化機能を使うなら、発光効率の良い有機ELで用いるのが有効である。

【0114】

【発明の実施の形態】

〔実施の形態1〕

本発明の実施の一形態について図1に基づいて説明すれば、以下の通りである。

【0115】

図1に示すのは、本発明の第1の手段における第1の構成である画素 A_{ij} の等価回路である。この等価回路は第1のスイッチング手段であるTFT（薄膜トランジスタ）6のソース端子に信号ラインとしてのデータ配線 S_j が接続され、TFT6のドレイン端子に第2のスイッチング素子であるTFT21のソース端子と電位保持手段を兼ねる液晶素子（電気光学素子）23の画素電極が接続された構成である。このTFT21のドレイン端子には、スタティック型のメモリ素子としてのメモリ回路9（第1のメモリ素子）が接続されている。

【0116】

なお、上記TFT6が必要になるのは、データ配線 S_j と電気光学素子が1体1対応していないからである。データ配線 S_j を電気光学素子と1体1対応するよう配線する場合、上記TFT6は不要である。

【0117】

このようなメモリ回路9を形成するため、本実施の形態では、CGS（Continuous Grain Silicon）TFT製作プロセスを用いることとする。なお、同プロセスの説明は特開平8-204208号公報、特開平8-250749号公報等に詳しく記載されているので、ここではその詳細な説明は省略する。

【0118】

この液晶素子23の表示状態を制御するには、液晶素子23の対抗電極の電位 V_{ref} をGND電位としている間に、TFT6とTFT21、すなわちそのソ

ース・ドレイン間を導通状態とし、この液晶素子23の画素電極およびメモリ回路9へ最上位ビット（bit）のデータを印加する。この場合、最上位ビットのデータは、VDDかGNDの2値データである。なお、TFT6を導通状態とするには、TFT6のゲート端子に接続された走査線へ選択電圧を印加する。TFT21を導通状態とするにはTFT21のゲート端子に接続された制御線Cibit2へ選択電圧を印加する。

【0119】

なお、本実施の形態ではTFTのソース端子とドレイン端子の間に厳密な区別がないので、上記ソース端子とドレイン端子を逆にしても問題ない。

【0120】

次に、TFT6を導通状態とし、TFT21を非導通状態としている間に液晶素子23の画素電極へ下位ビット相当階調の電圧を印加する。

【0121】

その後、TFT6を非導通状態とし、TFT21を導通状態とし、このメモリ回路9へ貯められた最上位ビットのデータを液晶素子23へ印加する。

【0122】

このように駆動することで、一度メモリ回路9へ最上位ビットのデータを保持しておけば、1フレーム内に複数回、途中で他のビットの表示を挟んで、液晶素子23へ最上位ビットのデータを印加できる。

【0123】

また、静止画表示時にも、画素に配置できなかったビットデータは画素の外部より上記電位保持手段である液晶へ供給される。このことにより、画素に配置された記憶手段が1ビット分しかなくとも2ビット分以上の階調表示が実現できるという効果がある。

【0124】

また、このように駆動することで液晶でも時間分割階調を実現できるが、液晶の応答速度は極めて遅いので、（強誘電性液晶のような高速液晶では目に付くが）動画偽輪郭が目に付くことは希である。しかし、高速液晶を用いた場合には、このように駆動することで動画偽輪郭を抑制する効果がある。

【0125】

なお、図1において液晶表示素子23と並列に入る第6のスイッチング素子であるTFT24およびそれをスイッチングする制御線Cibit1の役割は、上記液晶素子23に印加された電圧を0にするためのものであり、上記階調表示期間の長さを調整し、階調直線性を改善するためのものである。

【0126】

なお、図1においては、メモリ回路9はP型TFT11とn型TFT12から構成される第1のインバータ回路と、p型TFT13とn型TFT14から構成される第2のインバータ回路が、互いにその出力を入力とするスタティックメモリ構成をとる。

【0127】

したがって、メモリ回路9として、VDD電位との間の導通・非導通状態を制御するTFT13と、GND電位との間の導通・非導通状態を制御するTFT14を持つ。

【0128】

なお、上記VDD電位とGND電位のいずれがON輝度設定電位であり、いずれがOFF輝度設定電位かは、液晶素子23がノーマリーホワイトモードか、ノーマリーブラックモードか、透過状態をONとするか、非透過状態をONとするか、に依存し、どちらに設定することも可能である。

【0129】

〔実施の形態2〕

図2に示すのは、本発明の第1の手段における第2の構成である画素Aijの等価回路である。この等価回路は第1のスイッチング手段であるTFT63を持ち、そのTFT63のソース端子に信号ラインとしてのデータ配線Sjが接続され、TFT63のドレイン端子に電位保持手段であるコンデンサ65が接続されている。また、第4のスイッチング手段であるTFT64を持ち、そのTFT64のソース端子に信号ラインとしてのデータ配線Sjが接続され、TFT64のドレイン端子に記憶手段であるメモリ素子9の入力端子が接続されている。また、TFT63のゲート端子には走査線Ciaが、TFT64のゲート端子には走

査線 C i b が接続されている。

【0130】

このメモリ素子9は図1のメモリ素子9と同じものであり、P型TFT11とn型TFT12からなるインバータと、p型TFT13とn型TFT14からなるインバータが、互いに相手の出力端子に自分の入力端子を接続させたスタティックメモリ構成を取っている。

【0131】

そして、このメモリ素子9の出力端子（図2では入力端子を兼ねる）にコンデンサ66が接続されている。

【0132】

このコンデンサ65と66のもう一方の端子には電気光学素子である液晶素子が共通に接続され、その液晶素子のもう一方の端子には対抗電極の電位 V r e f が接続されている。

【0133】

この液晶へ印加される電圧を簡単化のために $V_{ref} = GND$ として示す。コンデンサ65の容量を C_{65} 、コンデンサ66の容量を C_{66} 、液晶の容量を C_{lc} とすると、記憶手段9の出力が GND 電位の時、データ配線 S_j からコンデンサ65へ印加された電圧が GND 電位であれば、液晶には

0 [V]

の電圧が印加される。また、データ配線 S_j からコンデンサ65へ印加された電圧が VDD であれば、液晶には

$VDD \times C_{65} / (C_{lc} + C_{66} + C_{65})$ [V]

の電圧が印加される。また、記憶手段9の出力が VDD 電位の時、データ配線 S_j からコンデンサ65へ印加された電圧が GND 電位であれば、液晶には

$VDD \times C_{66} / (C_{lc} + C_{66} + C_{65})$ [V]

の電圧が印加される。また、データ配線 S_j からコンデンサ65へ印加された電圧が VDD であれば、液晶には

$VDD \times (C_{65} + C_{66}) / (C_{lc} + C_{66} + C_{65})$ [V]

の電圧が印加される。

【0134】

そこで、C65、C66をC1cと比べできるだけ大きくとり、電源電圧VDDを適切に設定すればこの液晶67を用いて多階調表示を行うことができる。即ち、本実施形態は記憶手段または電位保持手段へ格納されたデータの重みに対応した電圧を発生させ、電気光学素子を表示する場合に相当する。この場合でも、上記データ配線Sjと記憶手段9および電位保持手段65が1体1対応していれば、上記TFT63、64は不要である。この場合でも、画素に配置できなかったビットデータは画素の外部より上記電位保持手段である液晶65へ時分割的に供給する。このことにより、画素に配置された記憶手段がメモリ回路9の1ビット分しかなくとも、2ビット分以上の階調表示を実現できるという効果（本発明の第2の目的）が実現できる。

【0135】

〔実施の形態3〕

図3に示すのは、本発明の第1の手段における第2の構成である画素Aijの等価回路である。この等価回路は第1のスイッチング手段であるTFT63のソース端子に信号ラインとしてのデータ配線Sjが接続され、TFT63のドレイン端子に電位保持手段であるスタティックメモリ68の入力端子が接続されている。また、第4のスイッチング手段であるTFT64のソース端子に信号ラインとしてのデータ配線Sjが接続され、TFT64のドレイン端子に記憶手段であるスタティックメモリ69の入力端子が接続されている。また、TFT63のゲート端子には走査線Ciaが、TFT64のゲート端子には走査線Cibが接続されている。

【0136】

また、電位保持手段68の出力端子は第5のスイッチング素子であるP型TFT70のソース端子へ接続され、TFT70のドレイン端子は有機EL8と共に電気光学素子を形成するTFT7のゲート端子へ接続されている。また、記憶手段69の出力端子は第5のスイッチング素子であるn型TFT71のソース端子へ接続され、TFT71のドレイン端子は有機EL8（この有機ELの構成の説明は後で行う）と共に電気光学素子を形成するTFT7のゲート端子へ接続され

ている。

【 0 1 3 7 】

この T F T 7 0 と 7 1 は一方が n 型 T F T、他方が p 型 T F T なので、共通する制御線 C i b i t 1 へそのゲート端子を接続させることで、制御線 C i b i t 1 の電位が高い電位（ハイ電位）であれば T F T 7 1 が導通状態となり、制御線 C i b i t 1 の電位が低い電位（ロー電位）であれば T F T 7 0 が導通状態となるよう制御される。

【 0 1 3 8 】

また、この場合、電気光学素子は P 型 T F T 7 と有機 E L 8 から形成されており、T F T 7 のソース端子は電源線 V D D に接続されており、T F T 7 のドレイン端子は有機 E L 8（この有機 E L の構成の説明は後で行う）の陽極へ接続されている。また、この有機 E L 8 の陰極は G N D へ接続されている。

【 0 1 3 9 】

そこで、図 4 に示すような走査を行う。なお、図 4 では 3) から 1 6) が走査線に相当し、実線で示した走査がデータ配線 S j からのデータ取り込みであり、破線で示した走査が記憶手段からのデータ取り込みである。

【 0 1 4 0 】

即ち、1 フレーム期間 T f を複数の走査期間 T s に分割し、最初に最上位ビットのデータを記憶手段 6 9 へ書き込み、制御線 C i b i t 1 をハイ電位とし T F T 7 1 を導通状態として、記憶手段 6 9 の出力を T F T 7 のゲート電極へ供給する。その結果、有機 E L 8 ではこの間、最上位ビットのデータに従った電流が流れる。

【 0 1 4 1 】

次に、下位ビットのデータを電位保持手段 6 8 へ書き込み、制御線 C i b i t 1 をロー電位とし T F T 7 0 を導通状態として、電位保持手段 6 8 の出力を T F T 7 のゲート電極へ供給する。その結果、有機 E L 8 ではこの間、下位ビットのデータに従った電流が流れる。

【 0 1 4 2 】

しかし、下位ビットでは上記走査期間 T s より下位ビットの表示期間の長さが

短くなることがある。そこで、その余った時間では、制御線C i b i t 1をハイ電位としT F T 7 1を導通状態として、記憶手段69の出力をT F T 7のゲート電極へ供給する。

【0143】

その結果、有機E L 8ではこの間、最上位ビットのデータに従って電流が流れる期間が幾つかに分割される。この分割された期間の総和を、この最上位ビットの重みに比例させる。

【0144】

このように駆動することで、有機E L 8を時間分割階調表示する場合に見られる動画偽輪郭を抑制する効果が発揮される。

【0145】

なお、本実施の形態は記憶手段または前記電位保持手段へ格納されたデータの重みに対応した期間、記憶手段または前記電位保持手段の出力を前記電気光学素子へ与える場合に相当する。

【0146】

また、画素外部よりビットデータが上記電位保持手段であるスタティックメモリ68へ供給されることにより、画素に配置された記憶手段69が1ビット分しかなくとも2ビット分以上の階調表示が実現できるという効果がある。

【0147】

なお、本実施の形態のように、データをデジタルデータとして画素へ転送する場合、アナログ的な電圧を画素に転送する場合と比べ、データ転送回数がb i t数倍増えてしまうという問題がある。

【0148】

しかし、アナログ的な電圧を画素へ転送する場合、電気光学素子を駆動するために必要な電圧を信号配線S jに転送する必要がある。これには、例えば10Vの電圧振幅を必要とする。

【0149】

一方、2値のデジタルデータを画素へ転送する場合、画素に簡単な電圧レベル変換回路を設けることができる。このことは、例えば10Vの電圧振幅を電気光

学素子へ印加する場合でも、信号配線 S_j へ転送する電圧を 3 V 程度に抑えられることを意味する。

【0150】

消費電力は電圧の 2 乗に比例するので、アナログ階調で 10 V の電圧を 1 回転送する場合の消費電力を $10 \times 10 \times 1 = 100$ とすると、デジタル階調で 3 V の電圧を 8 回転送する場合の消費電力は $3 \times 3 \times 8 = 76$ に抑えられる。

【0151】

図 5 に示すのは、このような電圧変換回路の例である。図 5 では電圧変換回路 97 では、P 型 TFTQ14 と n 型 TFTQ15 からなる第 1 のインバータと、p 型 TFTQ16 と n 型 TFTQ17 からなる第 2 のインバータを持ったスタティックメモリ構成を使い、信号配線 S_j から入力されたデータから、その正極性データと反転極性データを作る。その一方のデータを P 型 TFTQ18 と n 型 TFTQ19 からなる第 3 のインバータの n 型 TFTQ19 のゲート電極へ与え、他方のデータを P 型 TFTQ20 と n 型 TFTQ21 からなる第 4 のインバータの n 型 TFTQ21 のゲート電極へ与える。P 型 TFT18 と 20 は互いの出力がゲート電極に入力されるよう接続してある。

【0152】

そこで、n 型 TFTQ19 か 21 のゲート電極の何れかが電圧 VCC となって導通状態となると、その導通した側のインバータの出力は GND 電位となる。その結果、P 型 TFTQ18 か 20 のいずれかのゲート型端子が GND 電位となるので、非導通状態であった n 型 TFT 側の P 型 TFT が導通状態となり、そちら側のインバータの出力は VDD となる。そこで、この VCC から VDD への電圧変換が完成される。

【0153】

この電圧変換されたデータは、走査配線 C_i が選択状態で、制御配線 C_{ibit1} がハイ電位のときメモリ 9 へ書き込まれる。また、この電圧変換回路 97 は電位保持手段としても働く。これは、この電圧変換回路 97 を通過させなければ、新たなデータをメモリ回路 9 へ書き込むことができないので、この電圧変換回路 97 は記憶手段とみなすより電位保持手段とみなすべきと考えるからである。

なお、走査配線 C_i が非選択状態で、制御配線 C_{ibit1} がロー電位の時、電位保持手段であるこの電圧変換回路 97 の出力が電気光学素子である TFT15 へ印加される。また、制御配線 C_{ibit1} がハイ電位の時、記憶手段であるメモリ回路 9 の出力が電気光学素子である TFT15 へ印加される。

【0154】

このように、画素毎に電圧変換回路を設けることで、時間分割階調表示時の消費電力を下げる効果が実現される。

【0155】

〔実施の形態 4〕

図 6 に示すのは、本発明の第 1 の手段における第 2 の構成である画素 A_{ij} の等価回路である。この等価回路は第 1 のスイッチング手段である TFT63 のソース端子に信号ラインとしてのデータ配線 S_j が接続され、TFT63 のドレイン端子に電位保持手段であるコンデンサ 74 と、電気光学素子を形成する TFT72 のゲート端子へ接続されている。また、第 4 のスイッチング手段である TFT64 のソース端子に信号ラインとしてのデータ配線 S_j が接続され、TFT64 のドレイン端子に記憶手段であるスタティックメモリ 9 の入力端子が接続されている。また、TFT63 のゲート端子には走査線 C_{ia} が、TFT64 のゲート端子には走査線 C_{ib} が接続されている。

【0156】

また、記憶手段 9 の出力端子は電気光学素子を形成する TFT73 のゲート端子へ接続されている。この場合、電気光学素子は P 型 TFT72, 73 と有機 EL8 から形成されており、TFT72, 73 のソース端子は電源線 VDD に接続されており、TFT72, 73 のドレイン端子は有機 EL8 (この有機 EL の構成の説明は後で行う) の陽極へ接続されている。また、この有機 EL8 の陰極は GND へ接続されている。

【0157】

そこで、図 6 の信号線 S_j へ画素 A_{ij} の最上位ビットのデータを供給している間に、走査線 C_{ib} を選択状態として、このデータを記憶手段 9 へ取り込む。また、画素 A_{ij} の下位ビットのデータは時間分割的に信号線 S_j へ供給し、そ

の間に走査線 C_{ia} を選択状態として、このデータをコンデンサ 74 へ取り込む。

【0158】

TFT 72 はコンデンサ 74 の電位がハイ電位るとき非導通となり、ロー電位るとき導通となる。また、TFT 73 は記憶手段 9 の電位がハイ電位るとき非導通となり、ロー電位るとき導通となる。この TFT 72, 73 は同一の構成（サイズ）で作られているので、両方とも導通状態のときは一方のみ導通状態のときの 2 倍の電流が流れる。

【0159】

そこで、画素 A_{ij} の下位データをコンデンサ 74 へ与える間隔を、そのビットの重みに合わせて制御することで多階調表示が行える。この場合、本実施形態は記憶手段または電位保持手段へ格納されたデータの重みに対応した電流を発生させ、電気光学素子を表示する場合に相当する。この場合でも、上記データ配線 S_j と記憶手段 9 および電位保持手段 65 が 1 体 1 対応していれば、上記 TFT 63, 64 は不要である。この場合でも、画素に配置できなかったビットデータは画素の外部より上記電位保持手段であるコンデンサ 74 へ供給され、画素に配置された記憶手段が 1 ビット分しかなくとも 2 ビット分以上の階調表示が実現できるという効果がある。

【0160】

〔実施の形態 5〕

図 7 に示すのは、本発明の第 1 の手段における第 1 の構成である画素 A_{ij} の等価回路である。また、図 12 に示すのは本発明の第 2 の手段である表示領域（画素）外に第 2 のメモリ素子（メモリアレイ）を持たせたブロック回路構成である。なお、説明の便宜上、前記の実施の形態の図面に示した部材と同一の機能を有する部材には、同一の符号を付記してその説明を省略する。

【0161】

ここでは有機 EL のような自発光素子を用いるので、その自発光素子駆動用 TFT は電荷移動度の大きなシリコンプロセスで製作している。すなわち、本実施形態で用いる TFT を作成するために、実施の形態 1 ～ 4 同様、CGSTFT 製

作プロセスを用いることとする。

【0162】

図7に示すのは画素 A_{ij} の等価回路である。この等価回路は第1のスイッチング素子であるTFT6のソース端子にデータ配線 S_j が接続され、TFT6のドレイン端子には第2のスイッチング素子であるTFT21のソース端子と、第3のスイッチング素子であるTFT20のソース端子と、電気光学素子を構成するTFT7のゲート端子が接続された構成である。なお、このTFT21のドレイン端子には、記憶手段であるスタティックメモリ回路9が、TFT20のドレイン端子にはコンデンサ22（電位保持手段）が接続されている。

【0163】

なお、図7の構成においては第3のスイッチング素子であるTFT20は必ずしも必要ない。このTFT20は、メモリ素子9の出力をTFT7のゲート電極へ与えたとき、コンデンサ22の電位を保持するために設けられている。このことにより、コンデンサ22に貯えた情報が保持されるので、あたかもコンデンサ22はダイナミックメモリを用いた記憶手段として働き、TFT7のゲート電極の浮遊容量が電位保持手段のように働く。

【0164】

従って、このTFT20がある場合、コンデンサ22は厳密な意味では本発明の手段1の電位保持手段とはなっていない。

【0165】

しかし、TFT7のゲート電極の浮遊容量だけでは周辺の配線の影響を受け電位が変動するので好ましくないこと、電位保持手段であるコンデンサ22を記憶手段からチャージアップする場合も、コンデンサ22の電荷を入れ替えるので消費電力が発生すること、を考慮し、そのような課題が発生しないよう、電位保持手段としてのコンデンサ22に直列に第3のスイッチング素子であるTFT20を挿入して、本発明の電位保持手段としている。

【0166】

この目的からみて、この第3のスイッチング素子の位置は、図7のようTFT7のゲート電極とコンデンサ22の間でも良いし、コンデンサ22とGND電位

との間でも良い。いずれの場合でも、T F T 2 0 を非導通状態としたときコンデンサ 2 2 の電荷は変動しない。

【 0 1 6 7 】

また、T F T 2 0 のゲート端子には制御線 C i b i t 1 が、T F T 2 1 のゲート端子には制御線 C i b i t 2 が接続されている。

【 0 1 6 8 】

この T F T 7 で駆動する電気光学素子として本実施の形態では図 8 にその印加電圧 V - 電流 I 特性を示す有機 E L を用いる。図 8 は、有機 E L 素子の I - V 静特性（リニア）である。なお、同有機 E L の一般的な構造は図 9 に示すような構造をとる。

【 0 1 6 9 】

すなわち、図 9（a）に示すように、基板 3 1 のう上に陽極 3 2 を形成し、そのう上に有機多層膜 3 4（正孔入層 3 5、正孔輸送層 3 6、発光層 3 7、電子輸送層 3 8）を形成し、そのう上に陰極 3 3 を積層した層構成 3 9 を用いる。

【 0 1 7 0 】

なお、発光層 3 7 の構造図は図 9（b）に示されるビフェニール（出光興産の D P V B i）などが使われている。

【 0 1 7 1 】

なお、本実施の形態では好ましい組み合わせで説明しているので、本発明の電気光学素子の電源線と、記憶手段の電源線を別配線とする場合の実施の形態でもある。すなわち、図 7 ではメモリ回路 9 として、ゲート O N 電源配線（電圧 V o n）とゲート O F F 電源配線（電圧 V o f f）とを電源配線として有機 E L 駆動用電源 V D D とは独立に電圧設定可能な構成としている。

【 0 1 7 2 】

以下本実施の形態の電圧設定について見てみる。本発明の階調表示方法では画素毎にスタティックメモリを持った構成や画素外に S R A M（static random access memory）を持った構成を用いることが好ましい。

【 0 1 7 3 】

この画素外に S R A M を持った構成として、従来例に示した特開 2 0 0 0 - 2

2 7 6 0 8 号公報がある。この公報に開示されている図 3 0 の T F T 基板構成は、すでに述べたように、表示部 3 1 0 の外に S R A M で構成される画像メモリ 3 0 8 を持ち、表示部 3 1 0 に図 3 1 や図 3 2 のコンデンサで構成される画素メモリを持ち、この画素メモリに蓄えられた 2 値データで表示を行う構成である。

【0 1 7 4】

上記のような画素毎にメモリを持った構成において、そのメモリの出力電圧を、有機 E L を駆動するための T F T のゲート電極へ印加するが、その表示を安定させるためにはどのようなゲート電圧が必要かについて述べる。

【0 1 7 5】

図 1 0 は図 8 にその印加電圧－電流特性を示した有機 E L とその有機 E L へ駆動用 T F T を直列接続した構成で、駆動用 T F T のゲート電圧 V_{gate} と有機 E L を流れる電流特性 I_{oled} の関係をシミュレーションした結果である。

【0 1 7 6】

図 1 0 から分かるとおり、有機 E L のような自発光素子では、駆動用 T F T のゲート電圧が $-5 V$ か $-2 V$ かにより、有機 E L を流れる電流値が変化してしまう。

【0 1 7 7】

すなわち、上記メモリから通常のロジック出力電圧 (V_{DD} と GND) が出力されていても、上記有機 E L を駆動するための T F T のゲート電極へ印加する電圧として不十分なことが分かる。

【0 1 7 8】

まして、特開 2 0 0 0 - 2 2 7 6 0 8 号公報に示された図 3 1 の回路構成では、コンデンサ 4 0 6 へ溜めた電荷が変化すると、その変化で駆動用 T F T 4 0 7 のゲート電圧が変化してしまい、発光輝度が変化するという問題が起こることが分かった。これは図 3 2 でも同様である。

【0 1 7 9】

また、画素毎にスタティックメモリを持った構成として、従来例に示した特開 平 8 - 1 9 4 2 0 5 号公報がある。すでに述べたように、この公報に開示されている図 2 9 の T F T 基板構成は画素毎にスタティックメモリ 2 0 6 を持ち、この

画素メモリに蓄えられたデータで2値表示を行う構成である。この構成でも、駆動用TFT214のゲート電圧として論理回路の電源電圧VDDやGND電圧を直接用いる構成としている。有機ELのような自発光素子を駆動する場合は、図10に示した駆動用TFTのゲート電圧Vと有機ELを流れる電流特性Iの関係においてV-I特性の変化が少ないところを用いることが好ましい。

【0180】

これは、有機ELのような自発光素子の駆動用TFTでは、ゲート電圧の変動が発光輝度の変化となるためである。しかし、上記電源電圧VDDやGND電圧を直接用いる構成では、そのような適切な電圧の選択が行えない。

【0181】

これに対し、本実施の形態の構成によれば、以下に述べるように、画素毎にメモリを持った表示装置に適し、有機ELのような自発光素子で安定な輝度特性を示す画素メモリ回路を得ることができる。

【0182】

図7に示す有機EL駆動用としてのp型のTFT7と図8にそのV-I特性を示した有機EL8との組み合わせにおいて、電源電圧VDD≒6Vのときの、p型TFT7のゲート電圧Vと有機EL8を流れる電流Iの関係をシミュレーションで求めたのが図10のV-I特性である。

【0183】

図10より分かるように、p型TFT7のゲートOFF電圧は約4V以上あればほぼ0μAで良いが、ゲートON電圧は0Vでも不十分であり、約-5V以下でほぼ0.8μAと安定する。

【0184】

例えば、ゲートOFF電圧：V_{off}=5Vとし、ゲートON電圧：V_{on}の変動幅を

$(\text{ゲートON電圧：V}_{\text{on}} - \text{ゲートOFF電圧：V}_{\text{off}}) \times (1 \pm 0.1)$
 とすると、ゲートON電圧は0Vでは輝度バラツキは約±3%であるが、ゲートON電圧は-5Vでは輝度バラツキは約±1%と小さくなる。

【0185】

有機EL駆動用TFTのゲート電圧は周辺配線との間の浮遊容量等で変動するので、このように輝度バラツキの少なくなる電圧を有機EL駆動用TFTのゲートON電圧として設定すると効果がある。

【0186】

このように、本発明の手段2である画素毎に配置されたスタティックメモリ素子の出力端であるインバータ回路の、一方のTFT（トランジスタ）のソース端子をON輝度設定配線へ接続し、もう一方のTFT（トランジスタ）のドレイン端子をOFF輝度設定配線へ接続することで、スタティックメモリ素子の出力電位を適切なON電位やOFF電位とすることができる。

【0187】

このような構成は、本発明の手段1において有効なだけではなく、一般に画素毎にスタティックメモリ素子を持った構成で有効である。

【0188】

そこで、本実施の形態では有機EL駆動電圧として+6Vを、ゲートON電圧 V_{on} として-5Vを、ゲートOFF電圧 V_{off} として+5Vを用いる。

【0189】

すなわち、図7においてゲートOFF電源配線（電圧 V_{off} ）は約5Vの電源配線であり、ゲートON電源配線（電圧 V_{on} ）は約-5Vの電源配線である。このゲートOFF電圧配線（電圧 V_{off} ）と駆動用TFT7のゲート配線をp型TFT13を用いて繋ぎ、ゲートON電圧配線（電圧 V_{on} ）と駆動用TFT7のゲート配線をn型TFT14を用いて繋ぐ。

【0190】

このような回路構成を用いると有機EL駆動用TFTのゲート配線に適切なON電圧とOFF電圧を供給することができる。なお、図7のp型TFT13とn型TFT14はインバータ回路を構成している。そこで、もう一段、p型TFT11とn型TFT12でインバータ回路を構成し相互のゲート電極と出力電極を結合すると、メモリ回路9にてスタティックメモリが構成できる。

【0191】

この有機EL素子8の表示状態を制御する方法を図11に示す。

【0192】

すなわち、1フレーム期間 T_F の最初の期間 T_0 の間に電源 V_{DD} を GND 電位（もしくは GND 電位以下の $-6V$ 等）とし、制御線 $Ci\ bit\ 2$ を選択状態とすることで $TFT\ 21$ を導通状態とし、 $TFT\ 6$ （のソース・ドレイン間）を1走査線毎に順次導通状態とし、すべての走査線上の画素のメモリ回路へ最上位ビットのデータを記録する。

【0193】

その後、期間 $16T_1$ の間に電源 V_{DD} を $+6V$ として、この有機 EL 駆動用 $TFT\ 7$ のゲート電極へメモリ回路9に記憶されたデータに対応した電圧 V_{on} か電圧 V_{off} を印加する。

【0194】

その後、制御線 $Ci\ bit\ 2$ を非選択状態とすることで $TFT\ 21$ を非導通状態とし、制御線 $Ci\ bit\ 1$ を選択状態とすることで $TFT\ 20$ を導通状態とする。

【0195】

この間、期間 T_0 の間に $TFT\ 6$ （のソース・ドレイン間）を順次導通状態とし、電源 V_{DD} を GND 電位とし、下位ビット相当の電位をコンデンサ22に貯め、その後ビットの重みに対応した期間だけ電源 V_{DD} を $+6V$ として、有機 EL 駆動用 $TFT\ 7$ のゲート電極へ、コンデンサ22に貯められたデータに対応した電圧 V_{on} か電圧 V_{off} を印加する。

【0196】

そして、最後の下位ビット相当の表示が終わった後に、制御線 $Ci\ bit\ 1$ を非選択状態とすることで $TFT\ 20$ を非導通状態とし、制御線 $Ci\ bit\ 2$ を選択状態とすることで $TFT\ 21$ を導通状態とし、メモリ回路9に記録されている最上位ビットのデータに対応した電圧 V_{on} か電圧 V_{off} を有機 EL 駆動用 $TFT\ 7$ のゲート電極へ印加する。

【0197】

このように走査することで、図11に示すように階調レベル31の背景に階調レベル32の模様が動くとき、視線が図11の破線(a)～(d)のように動い

ても、その視線移動上の画素の視線移動時の階調パターンの誤りが図 3 5 の従来例と比べて減少する。

【 0 1 9 8 】

例えば、破線 (a) では視線が階調 1, 2, 4 と $32/2$ の点灯タイミングと被るので階調レベル 23 ($= 1 + 2 + 4 + 32/2$) が見える。破線 (d) では階調 $32/2$, 8, 16 の点灯タイミングが被るので階調レベル 40 ($= 32/2 + 8 + 16$) が見える。これら値の本来の階調レベル 31 や 32 に対する誤りは図 3 5 の場合に比べて半分程度になる。

【 0 1 9 9 】

このように、画素毎にメモリと、そのメモリの値とは独立に制御されるコンデンサを持つことで、本実施の形態の駆動方法が可能となる。本実施の形態によれば、従来例の図 3 5 と必要な走査回数を変えなくとも、図 1 1 に示すように動画偽輪郭抑制効果がある。

【 0 2 0 0 】

なお、図 7 の画素メモリ回路 9 の動作は、

(1) メモリ回路 9 のデータ更新時、制御ラインとしての走査線 C_i を用いて T F T 6 を導通状態とし、制御線 $C_{i \text{ bit } 2}$ を用いて T F T 2 1 を導通状態とし、信号ラインとしてのデータ配線 S_j よりデータに対応した電圧 V_{on} または V_{off} を、第 1 のインバータ回路 (p 型 T F T 1 1 と n 型 T F T 1 2 の回路) の入力端に与え、メモリ回路 9 の値を更新し、

(2) メモリ回路 9 のデータ保持時、走査線 (制御ライン) C_i または制御線 $C_{i \text{ bit } 2}$ を用いて T F T 6 または T F T 2 1 を非導通状態とし、第 2 のインバータ回路 (p 型 T F T 1 3 と n 型 T F T 1 4 の回路) の出力を第 1 のインバータ回路の入力端に与え、メモリ回路 9 の値を維持し、

(3) 上記メモリ回路 9 のデータ更新時およびデータ保持時を通して、制御線 $C_{i \text{ bit } 2}$ を選択状態とすることで T F T 2 1 を導通状態としている間に、第 2 のインバータ回路の p 型 T F T 1 3 が導通状態であれば、(T F T 2 0 が導通・非導通状態に関係なく) 有機 E L 駆動用 p 型 T F T 7 のゲート電圧は V_{off} となり、有機 E L 8 は非発光状態となり、

(4) 上記メモリ回路9のデータ更新時およびデータ保持時を通して、制御線C i b i t 2を選択状態とすることでT F T 2 1を導通状態としている間に、第2のインバータ回路のn型T F T 1 4が導通状態であれば、(T F T 2 0が導通・非導通状態に関係なく)有機E L駆動用p型T F T 7のゲート電圧はV o nとなり、有機E L 8は発光状態となる。

【0201】

このようにすることで、有機E L駆動用T F T 7のゲート端子には、有機E Lを適切に2値駆動するための、電圧V o nまたはV o f fが、コンデンサ22からもメモリ回路9からも供給される。その結果上記動画偽輪郭対策の効果や、階調直線性に優れた表示が可能となる効果がある。

【0202】

なお、本実施の形態では、本発明の第2の手段を用いているので、従来技術の図28に示した信号線ドライバのようなデータ・電圧変換回路が介在する必要はない。画素外に存在するS R A Mのデータをそのまま画素に存在するスタティックメモリへ転送してやればよい。そこで、本実施の形態の画素T F T回路に適したシステム構成として、図12に示すシステム構成が提案できる。

【0203】

すなわち、図12に示すのは、C P U (中央演算処理部) 1から表示装置3へ表示すべき画像(や文字)データが書き込まれるS R A M 4(第2のメモリ素子)を表示装置と一体化した構成である。このS R A M 4自体は上記C G S T F T製作プロセスを用いて表示装置へ作り込んでも、単結晶半導体工程を用いて作ったI Cを表示装置3へ後から実装するようにしても構わない。また単結晶半導体工程を用いて作ったI Cを後から実装する場合、表示装置3上に直接実装しても、銅箔パターンで配線されたテープ上にT A B (Tape Automated Bonding) 技術により一旦実装してから、改めてそのT C P (Tape Carrier Package) を表示基板と結合させても構わない。

【0204】

なお、2は表示装置の外部にあるフラッシュメモリであり、5はS R A M 4のデータを画素10へ書き込むためのコントローラ・ドライバ回路である。また、

画素 1 0 の回路構成は図 7 に示された画素 T F T 回路構成である。

【 0 2 0 5 】

この S R A M 4 は図 1 3 に示すように、C P U 1 へのシリアル・ I / O ポート（シリアル I N コントロール回路 5 5 とシリアル O U T コントロール回路 5 4 ）とは別に、表示装置 3 の S E G （信号線ドライバ）側 1 列（画素 A i 1 ～画素 A i m ）分のデータをパラレルに出力するポート（パラレル O U T コントロール回路 5 3 ）を持つ。その他は通常の S R A M 回路と同様、アドレスバッファ 5 0 、 5 8 、ロウデコーダ 5 1 、カラムデコーダ 5 7 、セクタ 5 6 、メモリアレイ 5 2 を持つ。5 9 、 6 0 は A N D 回路である。

【 0 2 0 6 】

この S R A M を用いて、外部から入力された画素単位のデータを、上記駆動方法に示したビット単位のデータへ変換し、S R A M から直接画素メモリへ書き込むことで、S R A M から S E G ドライバへシリアルにデータを転送する必要がなくなり、そのためのエネルギーが省け、表示装置全体の低消費電力化が図れる。また、使用する側では、このような駆動方法がとられていることを意識せずに行うことができる。

【 0 2 0 7 】

このように画素にメモリ素子を配置した表示装置では、本発明の第 2 の手段である画素（表示領域）の外に第 2 のメモリ素子（メモリアレイ）を持たせることの効果は大きい。

【 0 2 0 8 】

なお、図 7 の画素 T F T 回路構成ではゲート O N 電圧配線（電圧 V_{on} ）と有機 E L 駆動用電源 V_{DD} は別配線としたが、図 1 0 の $V-I$ 特性より V_{on} は 4 V 以上であればよいのであり、 V_{DD} の 6 V を用いることも可能である。この場合、ゲート O N 電圧配線（電圧 V_{on} ）と有機 E L 駆動用電源 V_{DD} が共通化できる。

【 0 2 0 9 】

〔実施の形態 6〕

本発明の手段 1 と手段 2 の別の実施の形態を図 1 4 ～図 1 8 に示す。

【 0 2 1 0 】

図 1 4 は従来の液晶表示装置と同様 1 ライン単位で画素のビットデータが送られてくる場合に対応する。この場合、基板 7 5 上にはシリアル／パラレル変換回路 7 6、コントローラ 7 7、表示領域 7 9 に配置した画素 8 1、画素外メモリ領域 7 8 に配置したメモリセル 8 0 が形成される。

【 0 2 1 1 】

また、表示画素の等価回路構成の例を示すと図 1 5 のようになり、メモリセルの等価回路構成の例を示すと図 1 6 のようになる。

【 0 2 1 2 】

即ち、図 1 5 は本発明の第 1 の手段の第 1 の構成の実施の形態であり、画素 8 1 に第 1 のスイッチング素子である T F T 6 と電気光学素子である有機 E L 8 およびその有機 E L 8 を駆動する T F T 7 ・電位保持手段であるコンデンサ 9 2、記憶手段であるメモリ 8 3～8 5 が配置されている。T F T 6 はソース電極が信号配線 S j へ、ゲート電極が走査配線 C i へ、ドレイン電極が配線 A へ接続されている。また、各メモリ 8 3～8 5 と配線 A の間には、そのゲート電極が制御線 C i b i t 1 ・ C i b i t 2 へ接続された第 2 のスイッチング素子である T F T 8 6～9 1 が介在されている。

【 0 2 1 3 】

この場合、T F T 6 が非導通状態の時、メモリ 8 3 には p 型 T F T 8 6 と n 型 T F T 8 7 が接続されているので、制御線 C i b i t 1 がロー電位、制御線 C i b i t 2 がハイ電位の時、メモリ 8 3 のデータが配線 A に出力される。また、メモリ 8 4 には n 型 T F T 8 8 と p 型 T F T 8 9 が接続されているので、制御線 C i b i t 1 がハイ電位、制御線 C i b i t 2 がロー電位の時、メモリ 8 4 のデータが配線 A に出力される。また、メモリ 8 5 には n 型 T F T 9 0 と n 型 T F T 9 1 が接続されているので、制御線 C i b i t 1 と C i b i t 2 が共にハイ電位の時、メモリ 8 5 のデータが配線 A に出力される。

【 0 2 1 4 】

また、T F T 6 が導通状態の時、制御線 C i b i t 1 がロー電位、制御線 C i b i t 2 がハイ電位の時、信号配線 S j のデータがメモリ 8 3 へ書き込まれ

る。また、制御線 $C i b i t 1$ がハイ電位、制御線 $C i b i t 2$ がロー電位のと
き、信号配線 $S j$ のデータがメモリ 84 へ書き込まれる。また、制御線 $C i b i$
 $t 1$ と $C i b i t 2$ が共にハイ電位のと、信号配線 $S j$ のデータがメモリ 85
へ書き込まれる。

【0215】

また、コンデンサ 92 と配線 A の間には T F T Q 1 が接続され、そのゲート電
極には制御線 $C i C$ が接続されている。そこで、この T F T Q 1 が導通状態のと
きコンデンサ 92 の電位は配線 A に与えられた電位となる。また、この T F T Q
1 が非導通状態のと、コンデンサ 92 の電位は保持される。有機 E L 8 駆動用 T
F T 7 はこのコンデンサ 92 の電位で制御される。

【0216】

図 16 は本発明の第 1 の手段の別の実施の形態であるメモリセル 80 であり、
メモリセル 80 には第 1 のスイッチング素子である T F T Q 10 と記憶手段であ
るメモリ 93 ~ 96 が配置されている。T F T Q 10 は、ソース電極が信号配線
 $D j$ へ、ゲート電極がゲート配線 $G i$ へ、ドレイン電極が配線 B へ接続されてい
る。また、メモリ 94 ~ 96 は制御線 $G i b i t 1$ 、 $G i b i t 2$ へそのゲート
電極が接続された第 2 のスイッチング素子である T F T Q 4 ~ Q 9 が接続されて
いる。

【0217】

この場合、T F T Q 1 が導通状態でシリアル／パラレル変換回路 76 から出力
がないとき、メモリ 94 には p 型 T F T Q 4 と n 型 T F T Q 5 が接続されている
ので、制御線 $G i b i t 1$ がロー電位、制御線 $G i b i t 2$ がハイ電位のと、
メモリ 94 のデータが配線 B に出力される。また、メモリ 95 には n 型 T F T Q
6 と p 型 T F T Q 7 が接続されているので、制御線 $G i b i t 1$ がハイ電位、制
御線 $G i b i t 2$ がロー電位のと、メモリ 95 のデータが配線 B に出力される
。また、メモリ 96 には n 型 T F T Q 8 と n 型 T F T Q 9 が接続されているので
、制御線 $G i b i t 1$ と $G i b i t 2$ が共にハイ電位のと、メモリ 96 のデー
タが配線 B に出力される。

【0218】

また、T F T Q 1 が導通状態でシリアル／パラレル変換回路 7 6 から出力されているとき、制御線 G i b i t 1 がロー電位、制御線 G i b i t 2 がハイ電位のとき、信号配線 D j のデータがメモリ 9 4 へ書き込まれる。また、制御線 G i b i t 1 がハイ電位、制御線 G i b i t 2 がロー電位のとき、信号配線 D j のデータがメモリ 9 5 へ書き込まれる。また、制御線 G i b i t 1 と G i b i t 2 が共にハイ電位のとき、信号配線 D j のデータがメモリ 9 6 へ書き込まれる。

【 0 2 1 9 】

また、メモリ 9 3 の入力端子と配線 B の間に p 型 T F T Q 2 が接続され、そのゲート電極には制御線 G i R W が接続されている。このメモリ 9 3 の出力端子である第 2 のインバータ出力端子と、入力端子である第 1 のインバータ入力端子の間には n 型 T F T Q 3 が接続され、そのゲート電極には制御線 G i R W が接続されている。また、第 2 のインバータ出力端子と配線 B の間には P 型 T F T Q 2 6 が接続され、そのゲート電極にはゲート配線 G i に接続されている。

【 0 2 2 0 】

この結果、ゲート配線 G i がハイ電位で、制御線 G i R W がロー電位のとき、信号線 D j のデータがメモリ 9 3 へ書き込まれる。また、ゲート配線 G i がハイ電位で、制御線 G i R W がハイ電位のとき、メモリ 9 3 のデータは保持される。また、ゲート配線 G i がロー電位のとき、メモリ 9 3 のデータが配線 B へ出力される。

【 0 2 2 1 】

このメモリ 9 3 は他のメモリ 9 4 ～ 9 6 より出力インピーダンスを低く設定しているので、ゲート配線 G i がロー電位のとき、他のメモリ 9 4 ～ 9 6 が配線 B と導通状態となれば、そのメモリのデータはメモリ 9 3 のデータに置き換えられる。

【 0 2 2 2 】

図 1 4 では、入力されたビットデータ 8 2 はシリアル／パラレル変換回路 7 6 の図示しないシフトレジスタに一度貯えられ、その後図示しない 1 ライン分のデータを保持するラッチへ貯えられる。

【 0 2 2 3 】

このラッチからは各ビット毎に1ライン分のデータが順番に出力される。例えば6bit階調の場合、図17の1)に示すように6bit目、5bit目、…、1bit目というようビット毎に1ライン単位で出力される。

【0224】

この出力されたビットデータはコントロール回路77の制御により、一部が表示領域79の画素81に配置したメモリへ取り込まれ、残りは画素(表示領域)外78に配置したメモリセル80のメモリへ取り込まれる。

【0225】

例えば、図17の2)に示すように、画素外のメモリ(図16のメモリ94～96)へ3bit目～1bit目のデータを書き込み、図17の3)～5)に示すように画素内のメモリM3～M1(図15のメモリ83～85)へ6bit目～4bit目のデータを書き込む。

【0226】

なお、4bit目のデータは同時に有機EL8を駆動するためのTFT7を制御するコンデンサ92へも書き込まれる。

【0227】

このための制御信号の動作を示したのが図17の14)～22)である。

【0228】

即ち、各配線とそれを通る信号とに同一の符号を付すこととして、例えばi=1の場合でいえば、図17の19)走査信号C1がハイ電位の時、画素のメモリまたはコンデンサへ画素外からデータが書き込まれる。どのメモリへ書き込むかを制御するのが20)制御信号C1bit1、21)制御信号C1bit2であり、コンデンサへ書き込むかを制御するのが22)制御信号C1Cである。図17の14)ゲート信号G1がハイ電位の時、画素外のメモリへデータが書き込まれる。どのメモリへ書き込むかを制御するのが15)制御信号G1bit1、16)制御信号G1bit2である。

【0229】

図17では23)に示す通し時間でいえば、4bit目のデータ表示期間は6)に示すように第3選択期間から第10選択期間までの8選択期間である。その

後、画素内のメモリから 6 b i t 目のデータをコンデンサ 9 2 へ転送させ、第 1 1 選択期間から第 1 7 選択期間までの 7 選択期間表示させる。その後、画素外のメモリから 1 b i t 目のデータをコンデンサ 9 2 へ転送させ、第 1 8 選択期間の 1 選択期間表示させる。その後、画素内のメモリから 5 b i t 目のデータをコンデンサ 9 2 へ転送させ、第 1 9 選択期間から第 2 5 選択期間までの 7 選択期間表示させる。その後、画素外のメモリから 2 b i t 目のデータをコンデンサ 9 2 へ転送させ、第 2 6 選択期間から第 2 7 選択期間の 2 選択期間表示させる。その後、画素内のメモリから 6 b i t 目のデータをコンデンサ 9 2 へ転送させ、第 2 8 選択期間から第 3 5 選択期間までの 8 選択期間表示させる。その後、画素内のメモリから 5 b i t 目のデータをコンデンサ 9 2 へ転送させ、第 3 6 選択期間から第 4 4 選択期間までの 9 選択期間表示させる。その後、画素内のメモリから 6 b i t 目のデータをコンデンサ 9 2 へ転送させ、第 4 5 選択期間から第 5 1 選択期間までの 7 選択期間表示させる。その後、画素外のメモリから 3 b i t 目のデータをコンデンサ 9 2 へ転送させ、第 5 2 選択期間から第 5 5 選択期間の 4 選択期間表示させる。その後、画素内のメモリから 6 b i t 目のデータをコンデンサ 9 2 へ転送させ、第 5 6 選択期間から第 6 8 選択期間までの 1 0 選択期間表示させる。

【0230】

この結果、6 b i t 目のデータの表示期間は $7 + 8 + 7 + 10 = 32$ 選択期間となり、6 b i t 目のデータの表示期間は $7 + 9 = 16$ 選択期間となる。このように、本発明の手段 2 を用いれば、画素 8 1 に配置した 3 b i t のメモリ以外に、画素外の領域 8 0 に配置した 3 b i t のメモリも表示に使えるので、合計 6 b i t 階調表示が可能となる。これは、画素に配置するメモリの数が少なくても、より多くの階調を表示できる効果を生む。また、画素に配置したメモリの分、画素外に配置するメモリの数を減らせるので、画素外のメモリ領域の面積を減らし、同一のガラス基板から取れるパネルの枚数を増やし、低コスト化できる効果や、同一の表示面積を持ったディスプレイをより小型化できる効果を生む。

【0231】

なお、この表示基板へメモリを配置する場合の最大の効果は低消費電力化であ

り、このような効果は特に携帯機器市場で役立つ。

【 0 2 3 2 】

そして、電気光学素子として自発光素子を用いる場合、発光効率の良い有機ELを用いたほうが、このような低消費電力化の効果が明白となるので、好ましい。

【 0 2 3 3 】

この表示基板へメモリを配置した効果は静止画像だけでなく、簡単な（基板に配置したメモリ数以内の）映像切り替え表示を行う場合にも示せる。

【 0 2 3 4 】

図15では画素に3bitのメモリを配置し、図16では画素（表示領域）外に4bitのメモリを配置している。この構成を使えば、3bit階調の映像を2画面切り替えて表示することができる。図18はその様子を示したものであり、図17の表示タイミングにおいて、1bit目～3bit目に割り当てた期間を画素に配置したメモリである4bit目～6bit目に割り振り直し、3bit階調の表示を行っている。

【 0 2 3 5 】

これは画素内に配置したメモリだけを使って表示を行う方がより低消費電力化できるからである。また、2画面程度の映像切り替えであれば、1秒間に1～2回程度しか表示を切り替えないと考えられるので、1秒間に64フレーム表示する場合なら、1つの映像表示が30フレーム程度続くと考えられる。その間は画素に配置したメモリのみを用い表示し、その後、映像を切り替えるときだけは図18に示すように画素外に配置した3bitのメモリと、画素に配置した3bitのメモリの内容を入れ替えれば良い。

【 0 2 3 6 】

なお、図18では、第3選択期間において、画素に配置したメモリ84から4bit目（映像1の1bit目）のデータを画素外に配置したメモリ93へ取り込む。第4選択期間において、画素外のメモリ95から1bit目（映像2の1bit目）のデータを画素に配置したメモリ84へ取り込む。第7選択期間において、画素外のメモリ93から4bit目（映像1の1bit目）のデータを画

素外のメモリ95へ取り込む。この場合、画素外のメモリ94～96の出カインピーダンスは画素に配置したメモリ83～85の出カインピーダンスより低く設定してある。

【0237】

また、第37選択期間において、画素に配置したメモリ83から5bit目（映像1の2bit目）のデータを画素外に配置したメモリ93へ取り込む。第38選択期間において、画素外のメモリ94から2bit目（映像2の2bit目）のデータを画素に配置したメモリ83へ取り込む。第44選択期間において、画素外のメモリ93から5bit目（映像1の2bit目）のデータを画素外のメモリ94へ取り込む。

【0238】

また、第59選択期間において、画素に配置したメモリ85から6bit目（映像1の3bit目）のデータを画素外に配置したメモリ93へ取り込む。第60選択期間において、画素外のメモリ96から3bit目（映像2の3bit目）のデータを画素に配置したメモリ85へ取り込む。第63選択期間において、画素外のメモリ93から6bit目（映像1の3bit目）のデータを画素外のメモリ96へ取り込む。

【0239】

このようにして、画素に配置された3bitのメモリのデータと、画素外に配置された3bitのメモリのデータを入れ替える。

【0240】

このように、本発明の第1の手段と第2の手段を用いれば、複数の映像をCPU等の外部情報源に電源を入れずに表示切り替えできるので、本発明の低消費電力化効果は大きい。

【0241】

〔実施の形態7〕

本発明のさらに他の実施の形態について図1.9および図20に基づいて説明すれば以下の通りである。なお、説明の便宜上、前記の実施の形態の図面に示した部材と同一の機能を有する部材には、同一の符号を付記してその説明を省略する

【0242】

本実施の形態は、本発明の手段1の第1の構成の画素回路を用いた駆動方法の例である。

【0243】

図19に示すのは本実施の形態で用いた画素Aijの等価回路構成である。この等価回路はTFT6のソース端子にデータ配線Sjが接続され、第1のスイッチング素子であるTFT6のドレイン端子に第2のスイッチング素子であるTFT21のソース端子と、第3のスイッチング素子であるTFT20のソース端子と、電気光学素子を構成するTFT15のゲート端子が接続された構成である。なお、このTFT21のドレイン端子にはスタティックメモリであるメモリ回路9が、TFT20のドレイン端子にはコンデンサ22が接続されている。

【0244】

なお、このTFT20がない場合、コンデンサ22は純粋な電位保持手段として働くが、TFT20がある場合、コンデンサ22は記憶手段としても働きうる。後者の場合、電位保持手段はTFT15のゲート電極の浮遊容量となる。また、TFT15のゲート端子には第6のスイッチング素子であるTFT25が接続されている。

【0245】

すなわち、すでに述べたように図7の有機EL8は図9に示されるように基板31、陽極32、正孔入層35、正孔輸送層36、発光層37、電子輸送層38、陰極33の順番に積層し、有機EL駆動用TFT7をp型とし、有機EL8をTFT7とGNDの間に挿入している。

【0246】

これに対し、本実施の形態の図19の有機EL（電気光学素子）26はこれとは逆に基板31、陰極33、電子輸送層38、発光層37、正孔輸送層36、正孔入層35、陽極32と順番に積層し、有機EL駆動用TFT15をn型とし、有機EL8をTFT15と電源VDDの間に挿入している。

【0247】

この図19の画素回路構成の場合、 V_{off} が約0V、 V_{on} が約10Vとなる。なお、図19の画素TFT回路構成ではゲートON電圧配線（電圧 V_{off} ）とGND配線を別配線としたが、 $V_{off}=0V$ なので、ゲートOFF電圧配線（電圧 V_{off} ）とGND配線が共通化できる。

【0248】

この図19の画素回路構成を用いて表示状態を制御する方法を図20に示す。なお、図20では説明のため、パネルの走査線数 m 本として12本とし、各画素で表示する階調ビット数 K として4ビット=16階調とする。なお、 $C1 \sim C12$ は走査線を表す。

【0249】

まず、1フレーム期間を走査線数の12で割り単位期間とする（これを図20では時間Aとして示す）。次に、各単位期間を階調ビット数の4で割り選択期間とする（これを図20では時間Bで示す）。以下第 X 単位期間の第 Y 選択期間を時間 $X-Y$ として記す。

【0250】

したがって、例えば、 j を1以上 K 未満の整数とすると、ある単位期間 $N(j)$ 内の第 $p(j)$ 番目の選択期間は「 $N(j) - p(j)$ 」と表される。

【0251】

この場合、1フレーム期間TFは $12 \times 4 = 48$ 選択期間から構成されるので、1階調当たりの時間は $48 / 15 = 3.2$ となる。そこで1階調当たり3選択期間を割り振る。

【0252】

まず、図20の $C1$ に示すように、第1番目の走査線と繋がる画素の第1ビット目のデータをデータ配線へ送出するタイミングを時間4-4とする。このとき、第1番目の走査線と繋がる画素の第2ビット目のデータをデータ配線へ送出するタイミングは3選択期間後の時間5-3となる。更に第1番目の走査線と繋がる画素の第3ビット目のデータをデータ配線へ送出するタイミングは 3×2 選択期間後の時間7-1となる。

【0253】

この段階までに、各ビットの選択期間 $X-Y$ の Y の部分が重なっていれば（同じ数字が出ていれば）、重ならないよう1階調当たりの選択期間数を調整し、前記 Y の部分が重ならないようにする。上記例では前記 Y の部分が重なっていないので、次に進む。

【0254】

すなわち、ここでは、「時間 $X-Y$ 」は、 X 単位選択期間の第 Y 選択期間を意味している。この駆動方法では、走査線 $A+1$ のタイミングは、走査線 A のタイミングが1単位選択期間遅れたタイミングであるため、この Y の部分が重なると、2つの走査線で同時に選択期間が発生することになる。例えば図20では、「4」の選択期間が $Y=1$ にあると、 $C1$ の「4」と $C7$ の「3」が同時に発生する。しかし、1つの信号線へ同時に異なるデータを供給することはできないため、表示できないことになる。そのため、上述のようにして、 Y の部分が重ならないようにする。つまり、 Y が重なるということは、1階調当たりに割り当てた選択期間数が不適切であったということであり、したがってそれを調整すればよい。

【0255】

次に第1番目の走査線と繋がる画素のメモリ（メモリ回路9）へデータを書き込むタイミングを決める。すなわち、図19ではメモリは1ビットのみなので、第4ビット目のデータをデータ配線へ送出するタイミングは上記 Y の残った値2とする。この第4ビット目のデータを送出するタイミングは、第1ビット目のデータをデータ配線へ送出するタイミングから概ね（1階調当たりに割り当てた選択期間数である） $3 \times$ （第4ビット目の、第1ビット目に対する重みの比） $8 \div$ （概ね2分割したいので）2選択期間前になるよう調整し、時間 $1-2$ とする。このようにして、メモリへ第4ビット目のデータを書き込みながら表示し、その後第1～第3ビット目のデータを表示し、その後メモリから第4ビット目のデータを読み出して表示する。

【0256】

以上で各ビットデータの送出タイミングは決まる。このようにして作られたタイミングが、走査線 $C1$ のタイミングとなる。残りの走査線 $C2 \sim C12$ のタイ

ミングは、このタイミングを順次単位期間分遅らせて作ることができる。

【0257】

図19の制御線C i b i t 1は、第1ビットのデータ送出タイミングから第3ビットの表示終了タイミングまでT F T 2 0が導通状態となるように制御される。

【0258】

制御線C i b i t 2は、メモリに蓄えられた第4ビット目(M S B)のデータの表示タイミングに合わせてT F T 2 1が導通状態となるよう制御される。

【0259】

なお、図20のタイミングでは1ビットの重み3選択期間に階調数(2の4乗-1) = (1+2+4+8)を掛けた45選択期間と、走査線数12本にビット数4を掛けた48が一致していないので、図19に示すT F T 2 5およびそれをスイッチングする制御線C i b i t 3を導入する。逆に言うと、走査線数m本×ビット数Kビットと1ビット当たりの選択期間×(2のK乗-1)が一致するときは上記T F T 2 5の導入は必要ない。

【0260】

上記T F T 2 5は有機E L 2 6を流れる電流が0となるようソース電極はT F T 1 5のゲート電極へ、ドレイン電極はG N Dへと接続されている。そして、T F T 2 5は図20に示すように上記T F T 2 0, 2 1が非導通状態のときに導通状態となる。

【0261】

上記の通り走査した結果、各走査線に繋がる画素がどのようなタイミングでどのビットの表示をするかを示したのが図20のC 1 ~ C 1 2に四角枠で囲って示したパターンである。

【0262】

このように画素毎にメモリと、そのメモリに記憶されたデータとは独立に制御可能なコンデンサとリセット手段を持つことで、図11に示した時間分割階調制御に比べ、

(1) 電源V D Dを制御する必要がない、

(2) 発光時間が1フレーム期間の9割以上を占めることができる、などの利点がある。

【0263】

また、動画偽輪郭対策としては図11と同様の効果がある。

【0264】

なお、図19においてコンデンサ22と直列にTFT20を挿入しているが、このTFT20はなくても良い。すなわち、メモリ回路9がスタティックメモリ回路であれば、コンデンサ22に貯められた電荷がTFT21がONとなったとき、どの程度スタティックメモリ回路の出力電圧に影響与えるかを判断し、影響の無いようにコンデンサ22の容量を小さくするとか、TFT21とスタティックメモリの間に上記コンデンサ22より容量の大きなコンデンサを入れておくとかすれば、上記TFT20は必ずしも必要ない。

【0265】

また、スタティックメモリの代わりにコンデンサを用いても良い。

【0266】

図21はその例であり、本発明の記憶手段98がTFTQ23とコンデンサ100から構成され、電位保持手段99がTFTQ24とコンデンサ101から構成された例である。

【0267】

従って、この図21の構成でも図9同様の駆動方法が実現できる。

【0268】

〔実施の形態8〕

本発明の画素回路を用いた駆動方法の他の実施形態について図22ないし図25に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態の図面に示した部材と同一の機能を有する部材には同一の符号を付記してその説明を省略する。

【0269】

図22に示すのは本実施の形態で用いた画素の回路構成である。

【0270】

すなわち、図19のスタティックメモリからなるメモリ回路9が1ビット構成であったのに対し、それに相当する、図22のスタティックメモリからなるメモリ回路18は（図22は描画の都合で2ビット構成であるが）複数ビットのメモリ回路構成例であり、各々スタティックメモリからなるメモリ回路18およびメモリ回路（第1のメモリ素子）17と有機EL駆動用TFT15のゲートとに間に、ビット制御用TFT61、62が配置されている。

【0271】

ここでは、図19に有ったTFT25を用いないための条件を計算して適用する。まず、各ビットに割り当てられた時間X-YのYが下位の階調で重なり合わない条件を探す。

【0272】

調べてみた結果、2ビットのメモリを持つとき、5ビット階調までなら簡単に求まる。

【0273】

すなわち、4ビット階調であれば、図23の（2）～（6）のように1階調当たり1，2，3，5，6・・・選択期間と4の倍数以外なら何でも良いことになる。ところで、図23の（1）に示すのは図20で時間A、時間Bで示した第X単位期間（1～21で示す）の第Y選択期間（1～4で示す）である。次に、1階調当たりの選択期間数が分かったので、何走査電極数表示できるか調べる。

【0274】

図23の（2）の場合、16階調表示に必要な選択期間数は（16階調-1）×1=15選択期間であるが、これはビット数4の倍数でないので図19のようにTFT25を用いないと実現できない。そこで、階調数-1が4の倍数となるよう13階調表示として、必要な選択期間数は（13階調-1）×1=12選択期間となり、走査線は $12/4=3$ 本であればうまくいくことが分かる。このとき最大階調ビットの重みは5階調である。

【0275】

図23の（3）の場合、16階調表示に必要な選択期間数は（16階調-1）×2=30選択期間であるが、これはビット数4の倍数でないので同様に、階調

数-1が4の倍数となるよう15階調表示として、必要な選択期間数は $(15 \text{ 階調} - 1) \times 2 = 28$ 選択期間となり、走査線は $28 / 4 = 12$ 本であればうまくいくことが分かる。このとき最大階調ビットの重みは7階調である。

【0276】

図23の(4)の場合、16階調表示に必要な選択期間数は $(16 \text{ 階調} - 1) \times 3 = 45$ 選択期間であるが、これはビット数4の倍数でないので同様に、階調数-1が4の倍数となるよう13階調表示として、必要な選択期間数は $(13 \text{ 階調} - 1) \times 3 = 36$ 選択期間となり、走査線は $36 / 4 = 9$ 本であればうまくいくことが分かる。このとき最大階調ビットの重みは5階調である。

【0277】

図23の(5)の場合、16階調表示に必要な選択期間数は $(16 \text{ 階調} - 1) \times 5 = 75$ 選択期間であるが、これはビット数4の倍数でないので同様に、階調数-1が4の倍数となるよう13階調表示として、必要な選択期間数は $(13 \text{ 階調} - 1) \times 5 = 60$ 選択期間となり、走査線は $60 / 4 = 15$ 本であればうまくいくことが分かる。このとき最大階調ビットの重みは5階調である。

【0278】

図23の(6)の場合、16階調表示に必要な選択期間数は $(16 \text{ 階調} - 1) \times 6 = 90$ 選択期間であるが、これはビット数4の倍数でないので同様に、階調数-1が4の倍数となるよう15階調表示として、必要な選択期間数は $(15 \text{ 階調} - 1) \times 6 = 84$ 選択期間となり、走査線は $84 / 4 = 21$ 本であればうまくいくことが分かる。このとき最大階調ビットの重みは7階調である。

【0279】

結局、1単位期間当たりの選択期間数4に対して、+1(1階調=1選択期間、1階調=5選択期間)、+2(1階調=2選択期間、1階調=6選択期間)がOKなら-1(1階調=3選択期間)、-2(1階調=2選択期間、1階調=6選択期間)もうまくいくということである。

【0280】

また、得られる階調数も+1、-1で12階調、+2で15階調と定まってくる。

【0281】

このように第1ビット～第2ビットの割り当てられた時間X-YのYのタイミングが決まり、走査線数が決まれば、残りの第3ビット～第4ビットの割り当てられた時間X-YのYのタイミングは、対応する階調表示期間の適当な（相互にYが重ならない）タイミングが設定可能である。

【0282】

このようにタイミングを設定した後、最大ビットである第4ビットに割り当てられた期間の（第4ビット目のデータ書き換え期間を含む）概ね半分を単位期間単位でフレーム期間の最初の方に持ってきて動画偽輪郭対策とする。

【0283】

また、図23の（3）のように第3ビットのデータ書き換え期間が第3ビットに割り当てられた期間の先頭にないときは、その書き換え期間から単位期間単位でタイミングを切り出し、最大ビットである第4ビットに割り当てた前半の期間の中に移動させる。

【0284】

このようにして、図23を書き換えたのが図24である。

【0285】

このようにして作られたタイミングが、図20の走査線C1のタイミングとなる。残りの走査線C2～C12のタイミングは、このタイミングを順次単位期間分遅らせて作ることができる。

【0286】

同様に、5ビット階調であれば、図25の（2）～（5）のように1階調当たり1, 2, 3, 4・・・選択期間と5の倍数以外なら何でも良いことになる。次に、1階調当たりの選択期間数が分かったので、何走査電極数表示できるか調べる。

【0287】

図25の（2）の場合、32階調表示に必要な選択期間数は（32階調-1） \times 1=31選択期間であるが、これはビット数5の倍数でないので図19のようにTFT25を用いないと実現できない。そこで、5の倍数となるよう31階調

表示として、必要な選択期間数は $(31 \text{ 階調} - 1) \times 1 = 30$ 選択期間となり、走査線は $30 / 5 = 6$ 本であればうまくいくことが分かる。この場合、最大階調ビットの重みは 15 階調となる。

【0288】

図 25 の (3) の場合、32 階調表示に必要な選択期間数は $(32 \text{ 階調} - 1) \times 2 = 62$ 選択期間であるが、これはビット数 5 の倍数でないので同様に、階調数 - 1 が 5 の倍数となるよう 31 階調表示として、必要な選択期間数は $(31 \text{ 階調} - 1) \times 2 = 60$ 選択期間となり、走査線は $60 / 5 = 12$ 本であればうまくいくことが分かる。このとき最大階調ビットの重みは 15 階調である。

【0289】

図 25 の (4) の場合、32 階調表示に必要な選択期間数は $(32 \text{ 階調} - 1) \times 3 = 96$ 選択期間であるが、これはビット数 5 の倍数でないので同様に、階調数 - 1 が 5 の倍数となるよう 31 階調表示として、必要な選択期間数は $(31 \text{ 階調} - 1) \times 3 = 90$ 選択期間となり、走査線は $90 / 5 = 18$ 本であればうまくいくことが分かる。このとき最大階調ビットの重みは 15 階調である。

【0290】

図 25 の (5) の場合、32 階調表示に必要な選択期間数は $(32 \text{ 階調} - 1) \times 4 = 124$ 選択期間であるが、これはビット数 5 の倍数でないので同様に、階調数 - 1 が 5 の倍数となるよう 31 階調表示として、必要な選択期間数は $(31 \text{ 階調} - 1) \times 4 = 120$ 選択期間となり、走査線は $120 / 5 = 24$ 本であればうまくいくことが分かる。このとき最大階調ビットの重みは 15 階調である。

【0291】

この 5 ビット階調表示の場合も、4 ビット階調表示の場合同様に、このように第 1 ビット～第 3 ビットの割り当てられた時間 $X - Y$ の Y のタイミングが決まり、走査線数が決まれば、残りの第 4 ビット～第 5 ビットの割り当てられた時間 $X - Y$ の Y のタイミングは、対応する階調表示期間の適当な（相互に Y が重ならない）タイミングが設定可能である。

【0292】

また、最大ビットである第 5 ビットに割り当てられた期間の（第 5 ビット目の

データ書き換え期間を含む) 概ね半分を単位期間単位でフレーム期間の最初の方に持っていけば動画偽輪郭対策となる。

【 0 2 9 3 】

なお、本発明に係る基板は、第 1 の配線と、前記第 1 の配線と第 1 端子が接続された第 1 のスイッチング素子と、前記第 1 のスイッチング素子の第 2 の端子と電氣的に接続された第 1 のメモリ素子と、前記第 1 のスイッチング素子の第 2 の端子と電氣的に接続された電気光学素子を持つように構成してもよい。

【 0 2 9 4 】

また、本発明に係る基板は、第 1 の配線と、前記第 1 の配線と第 1 端子が電氣的に接続された第 1 のスイッチング素子と、前記第 1 のスイッチング素子の第 2 の端子と電氣的に接続された第 1 のメモリ素子と、前記第 1 のスイッチング素子の第 2 の端子と電氣的に接続された電位保持手段と、前記第 1 のスイッチング素子の第 2 の端子と電氣的に接続された電気光学素子を持つように構成してもよい。

【 0 2 9 5 】

また、本発明に係る基板は、上記構成において、上記第 1 のメモリ素子が第 2 のスイッチング素子と 1 ビット分のデータを記憶するための記憶素子から構成されているであるように構成してもよい。

【 0 2 9 6 】

上記構成に対応する構成として、以下の (1) ~ (2) が挙げられる。すなわち、

(1) 電気光学素子毎に第 1 のスイッチング素子を設け、その第 1 のスイッチング素子のソース端子をデータ配線と接続し、前記第 1 のスイッチング素子のドレイン端子と第 1 のメモリ素子を電氣的に接続し、前記第 1 のスイッチング素子のドレイン端子と画素電極を電氣的に接続した構成の基板とする。

【 0 2 9 7 】

また、記憶手段毎に第 1 のスイッチング素子を設け、電位保持手段毎に第 4 のスイッチング素子を設け、これらスイッチング素子のソース端子をデータ配線に接続し、ドレイン端子を前記記憶手段や電位保持手段に接続し、それら記憶手段

や電位保持手段の出力を画素電極に電氣的に接続した構成の基板とする。

【0298】

また、上記基板の上記画素電極に電位保持手段を兼ねる液晶表示素子等の電気光学素子を接続して、表示基板または表示装置とする。

【0299】

なお、ここで「電氣的に接続し」と記すのは、直接もしくはスイッチング素子を用いて間接的に接続することを意味する。

【0300】

(2) 電気光学素子毎に第1のスイッチング素子を設け、その第1のスイッチング素子のソース端子をデータ配線と接続し、前記第1のスイッチング素子のドレイン端子と第1のメモリ素子を電氣的に接続し、前記第1のスイッチング素子のドレイン端子とコンデンサ素子等の電位保持手段を電氣的に接続し、前記第1のスイッチング素子のドレイン端子と電気光学素子を駆動するアクティブ素子のゲート電極に接続した構成の基板とする。

【0301】

また、記憶手段毎に第1のスイッチング素子を設け、電位保持手段毎に第4のスイッチング素子を設け、これらスイッチング素子のソース端子をデータ配線に接続し、ドレイン端子を前記記憶手段や電位保持手段に接続し、それら記憶手段や電位保持手段の出力が電気光学素子を駆動するアクティブ素子のゲート電極に接続した構成の基板とする。

【0302】

なお、上記基板では記憶手段や電位保持手段と上記アクティブ素子のゲート電極との間に第5のスイッチング素子を配置することが好ましい。

【0303】

また、上記基板のアクティブ素子のソース端子またはドレイン端子へ有機EL等の電気光学素子を接続して、表示基板または表示装置とする。

【0304】

なお、上記コンデンサ素子とは、コンデンサと第3のスイッチング素子から構成されるか、コンデンサ単体で構成されることが好ましい。

【0305】

上記コンデンサ素子がコンデンサ単体で構成される場合は、特別にコンデンサを用意しなくとも、アクティブ素子のゲート電極容量等で代替可能である。

【0306】

上記(1)～(2)の構成により、画素に配置したメモリの数以上の多階調表示を低消費電力で実現できる。また、時間分割表示に適し、動画偽輪郭対策の施しやすい基板が得られ、その効果は明らかである。

【0307】

上記(1)～(2)の構成において、上記第1のメモリ素子としては、第3のスイッチング素子と1ビット分のデータを記憶するための記憶素子から構成されていることが好ましい。

【0308】

本発明の上記(1)～(2)の基板構成で時間分割階調表示を行う場合、上記液晶表示素子または電位保持手段へ一連の電圧を印加する第1の期間と、上記第1のメモリ素子へデータを保持する第2の期間と、上記第1のメモリ素子のデータを用いて前記液晶表示素子または電位保持手段へ電圧を印加する第3の期間とを持つ駆動方法を用いることが可能となる。

【0309】

このうち、上記第3の期間が一定周期の間に複数回出現することで、本発明の第1の課題である動画偽輪郭を少なくする効果を持つ。

【0310】

すなわち、PDP等でなされている動画偽輪郭対策は、ビットの重みの大きなデータを複数回に分けて、ビットの重みの少ないデータの前後で表示することで、動画偽輪郭を低減している。しかし、PDP等では上記ビットの重みの大きなデータを複数回表示するため、1回の表示毎に表示走査が必要である。

【0311】

これに対して、本発明の画素にメモリを持った構成であれば、そのビットの重みの大きなデータを上記第2の期間に画素毎にビットの重みの大きなデータを保持することで、上記第3の期間に行うビットの重みの大きなデータを複数表示す

る動作が、表示走査することなく実現できる。

【0312】

また、本発明に係る表示装置は、上記基板を用いた表示装置であって、上記第1～第3の期間の走査方法として以下の(3)のようにすることができる。すなわち、

(3) 走査電極数を m 本以下、各画素へ表示すべき階調数を K ビット以下とし

1周期を m 個の単位期間に分割し、各単位期間を K 個の選択期間に分割し、

第 A 番目の単位期間の第 p 番目の選択期間で1ビット目のデータをデータ電極へ供給し、

第 B 番目の単位期間の第 q 番目($q \neq p$)の選択期間で2ビット目のデータをデータ電極へ供給し、

第 S 番目の選択期間の単位期間を構成する K 個の選択期間のうち他のビットで使っていない選択期間で K ビット目のデータをデータ電極へ供給する(m は正の整数、 K は2以上の整数、 A 、 B 、 p 、 q 、 S は0以上の整数)ように構成することができる。

【0313】

すなわち、表示パネルの走査線数が m 本以下で、階調表示数が K ビット以下のとき、1フレーム(またはフィールド)期間を m 個の単位期間に分割し、各単位期間を K 個の選択期間に分割し、

ある走査線上の画素の電気光学素子もしくは電位保持手段を、第 A 番目の単位期間の第 p 番目の選択期間で1ビット目のデータを用いて書き換え、第 B 番目($B = A$ または $B \neq A$)の単位期間の第 q 番目($q \neq p$)の選択期間で2ビット目のデータを用いて書き換え、第 C 番目($C \neq B$ 、 $C \neq A$)の単位期間の第 r 番目($r \neq q$ 、 $r \neq p$)の選択期間で3ビット目のデータを用いて書き換え・・・のように繰り返していき、

その走査線上の画素の第1のメモリ素子を第 s 番目($s < r$ 、 $s < q$ 、 $s < p$)の選択期間の単位期間を構成する K 個の選択期間のうち他のビットで使っていない選択期間で K ビット(最大重みのビット)を用いて書き換えるようにするこ

とができる。

【0314】

このとき、上記第1ビット目のデータが画素の電気光学素子もしくは電位保持手段へ与えられている時間は第1ビット目の重みに比例し、上記第2ビット目のデータが画素の電気光学素子もしくは電位保持手段へ与えられている時間は第2ビット目の重みに概ね比例する。

【0315】

また、最大ビットのデータを第1のメモリ素子から読み出し、上記画素の電気光学素子もしくは電位保持手段へ与える時間の制御は、上記書き換え手段とは独立した手段で行う。

【0316】

この独立手段を持つことで、上記最大ビット目のデータが画素の電気光学素子もしくは電位保持手段へ与えられている時間が最大ビットの重みに概ね比例する。

【0317】

上記走査方法によれば、時間分割階調表示の1フレーム期間内の表示期間の比率を高めることができ、高輝度化や高効率化が可能となり、その効果は明らかである。

【0318】

上記(1)～(2)の構成においては、電位保持手段と、OFF輝度設定配線との間に第6のスイッチング素子を設けることが好ましい。この構成により、実施の形態7で示したように、この構成を持たない実施の形態8より、自由度の大きな表示制御が可能となる。

【0319】

また、本発明に係る基板は、電気光学素子毎に第1のメモリ素子を持った基板であって、前記電気光学素子の電源配線と、前記第1のメモリ素子の電源配線が分離されて設けられているように構成してもよい。

【0320】

上記構成としては、以下の(4)～(5)が挙げられる。すなわち、

(4) 液晶表示素子等の電気光学素子と接続する画素電極と、その画素電極へ電圧を印加する第1のメモリ素子を持った基板であって、

上記第1のメモリ素子がON輝度設定配線との間の導通・非導通状態を制御するON制御TFT（トランジスタ）と、OFF輝度設定配線との間の導通・非導通状態を制御するOFF制御用TFT（トランジスタ）とを備えた基板とすることができる。

【0321】

また、上記基板の上記画素電極に液晶表示素子等の電気光学素子を接続して、表示基板または表示装置とすることができる。

【0322】

上記ON輝度設定配線、OFF輝度設定配線の電圧と上記電気光学素子の電源電圧は個別・独立に設定可能とすることが好ましい。

【0323】

(5) 有機EL等の電気光学素子を駆動するためのアクティブ素子（駆動用TFT（トランジスタ））と、そのアクティブ素子（駆動用TFT（トランジスタ））のゲート電極と接続した第1のメモリ素子を持った基板であって、

上記第1のメモリ素子が、その駆動用TFT（トランジスタ）のゲート電極とON輝度設定配線との間の導通・非導通状態を制御するON制御TFT（トランジスタ）と、その駆動用TFT（トランジスタ）のゲート電極とOFF輝度設定配線との間の導通・非導通状態を制御するOFF制御用TFT（トランジスタ）とを備えた基板とすることができる。

【0324】

また、上記基板の上記アクティブ素子のソース端子またはドレイン端子へ有機EL等の電気光学素子を接続して、表示基板または表示装置とすることができる。

【0325】

上記ON輝度設定配線、OFF輝度設定配線の電圧と上記電気光学素子の電源電圧は個別・独立に設定可能とすることが好ましい。

【0326】

特に上記構成(1)～(2)の基板の駆動において、表示階調数をKビットとすると、各画素は1フレーム(またはフィールド)期間にK回書き換えられることになる。そこで、信号配線に電送させる電圧を低くし、画素に電圧変換回路を設けることが好ましい。

【0327】

また、入力されるデータは画素単位のデータなので、これをビット単位でデータを転送できるようにするために、CPU等から表示装置に表示すべき画像(や文字)データが書き込まれる画素外のSRAM(スタティック・ランダム・アクセス・メモリ)と、

そのSRAMから1ライン分の表示データを同時に出力するための配線と、

同配線から得られたデータを画素毎に記憶するための画素内のメモリ(画素メモリ)とを持った表示基板や表示装置が好ましい。

【0328】

また、従来通りライン単位で画素データを入力する場合、シフトレジスタとラッチを用いて1ライン期間で画素データをビット単位で出力し、そのビットデータを画素に配置したメモリと、画素(表示領域)外に配置したメモリ(SRAM)に取り込むことが好ましい。特に、必要なメモリの一部が画素に配置され、残りが画素外に配置され、画素外に配置されたメモリのデータが画素に配置した電位保持手段で取り込むことが好ましい。この構成によれば、表示に必要なビットの一部を画素に配置するだけで、必要な表示品位の多階調表示ができる。また、画素にメモリを配置した分、画素外に配置するメモリの数を減らせるので、画素(表示領域)外の領域を小さくできるので好ましい。

【0329】

また、上記構成(1)～(2)の第1のメモリ素子は直接電気光学素子や電気光学素子を駆動するためのスイッチング素子(TFT、トランジスタ)と接続されているので、上記手段4～5の構成で上記第1のメモリ素子の出力電圧を上記電気光学素子の電源電圧とは独立に設定可能とすることが望ましい。

【0330】

また、上記SRAMは、上記画素メモリおよび上記TFTと同じ工程で形成す

ることも可能だが、異なる工程で形成したものを後から接続することも可能である。

【0331】

すなわち、上記SRAMと上記画素メモリおよび上記TFTとを同じPoly-Si TFT工程やCGSTFT工程で形成するようにすることも可能であり、また、上記画素メモリおよび上記TFTのみPoly-Si TFT工程やCGSTFT工程で形成し、上記SRAMは単結晶半導体工程で形成したものを後から接続するようにすることも可能である。

【0332】

また、上記CPUは上記SRAMとは別個に作ることも可能であるが、CPUとSRAMを一体で形成することも可能である。

【0333】

上記のように、画素毎に画素メモリを持ち、その画素メモリの出力を駆動用TFTのゲート電圧へ印加し、その駆動用TFTで自発光素子を駆動する表示装置においては、画素メモリの出力電圧が変動しないような回路構成や、その画素メモリからの出力電圧を適切なON電位（図8なら-5V以下）とOFF電位（図8なら5V以上）に変換するための回路構成を備えることが好ましい。

【0334】

そこで、この駆動用TFTのゲート電極と、このゲート電極へ印加すべき適切なON電位を与えるON電極と、このゲート電極へ印加すべき適切なOFF電位を与えるOFF電極とをスイッチング素子を介し切り替える回路構成が有効になる。

【0335】

この駆動用TFTのゲート電極へ印加すべき電位がON電位かOFF電位かは、画素毎に設けられたメモリ回路で設定すれば良い。

【0336】

特に、このメモリ回路の出力端が上記ON/OFF電位を与える回路構成となっていることが好ましい。

【0337】

上記構成によれば、画素毎にメモリを持った電気光学素子の表示が安定し、輝度バラツキの影響を抑えることができ、その効果は明らかである。

【 0 3 3 8 】

また、本発明に係る基板は、上記構成において、画素（ドット）毎にメモリ機能を持ち、前記画素（ドット）メモリとは異なる第2のメモリ素子に記録された表示データを、同時に複数の異なる画素（ドット）メモリへ転送するための配線を持ったように構成してもよい。

【 0 3 3 9 】

また、本発明に係る基板は、上記構成において、画素（ドット）毎にメモリ機能を持ち、前記画素（ドット）メモリとは異なる第2のメモリ素子を持ったように構成してもよい。

【 0 3 4 0 】

上記構成（1）～（2）では、画素毎に設けられたメモリの書き換えは、画素の外部に設けたSRAMに蓄えられたデータを転送することが有効である。この場合でも上記のような画素メモリの出力電圧が変動しないような回路構成は、図31や図32のようなコンデンサを用いた回路構成ではなく、上記構成のスタティックメモリを用いた回路構成とすることが好ましい。

【 0 3 4 1 】

また、必要なメモリ（SRAM）の一部を画素に配置し、残りを画素外に配置しても良い。

【 0 3 4 2 】

このSRAMは単結晶シリコン工程で形成したICか、Poly-Si TFT工程で形成した回路であっても構わない。このSRAMは表示装置のドット数を横 $m \times$ 縦 n （白黒では画素数＝ドット数であるが、カラーでは1画素はRGB3ドットからなり1画素＝3ドットと数える）に対応するメモリを持ち、SEG側駆動回路（ドライバ回路）の代わりに表示装置の1ライン分のドット数に対応する出力配線を持つ。

【 0 3 4 3 】

こうすれば、外部から画素単位で入力されたデータを、上記駆動方法に合わせ

て、ビット単位で、S R A Mから直接1列分のデータについて並列に画素メモリへ転送できるので、図28のように、信号線ドライバを通す場合と比べ、S R A Mから信号線ドライバ回路へデータを転送するための手間と電力が削除でき、特に本発明の手段1～2において低消費電力化が実現できる。

【0344】

上記構成によれば、表示すべき画像データ形成したS R A Mから、表示すべき1ライン分の画像データを直接画素メモリへ転送可能となり、S E G側駆動回路（ドライバ回路）へデータを転送するための消費電力が削除でき、低消費電力化が実現でき、その効果は明らかである。

【0345】

【発明の効果】

以上のように、本発明の、画素に記憶手段（メモリ）と電位保持手段（コンデンサ）を持たせた構成を用いることで、画素の配置したメモリの個数以上の階調表示を行うことができる。また、画素に配置した複数のメモリを切り替えて表示することで、新たに外部からデータを得なくても、複数の映像を切り替えて表示することもできる。また、最大階調のデータに対応する電圧を第1のメモリ素子に保持させ、そのデータに対する電圧印加時間を分割して電圧を印加し、動画偽輪郭を緩和することができる。

【0346】

また、このようなメモリ素子を用いることで、従来駆動できなかったケースでも駆動できるようになり、新たな駆動方法を開発することができる。

【0347】

特にこの画素に記憶手段（メモリ）と電位保持手段（コンデンサ）を持った構成の電位保持手段は、時間分割階調表示に適している。

【0348】

以上のように、本発明の表示装置を用いれば、1フレーム期間内に第1、第2および第3の期間をこの順に設けるとともに、1フレーム期間内に、上記第3の期間よりも前にデータ保持期間を設け、上記第1の期間に、最大階調（最大重みビット）のデータに対応する電圧を上記電気光学素子に印加し、上記データ保持

期間に、上記最大階調のデータを第1のメモリ素子に保持させ、上記第2の期間に、最大階調未満のデータに対応する時間だけ電圧を上記電気光学素子に印加し、上記第3の期間に、上記第1のメモリ素子に保持させた最大階調のデータの残りの時間に対応する時間だけ電圧を上記電気光学素子に印加する構成である。

【0349】

これにより、ビットの重みの大きなデータを第2の期間に画素毎に保持することで、第3の期間に行うビットの重みの大きなデータを複数表示する動作が、表示走査することなく実現できる。それゆえ、1回の表示毎に表示走査を行うことなく、動画偽輪郭の発生を抑制することができるという効果を奏する。

【0350】

また、画素に配置されたメモリの個数以上の階調表示することができるので、表示品位の向上を図ることができるという効果を奏する。

【0351】

また、本発明の表示装置の駆動方法は、走査線数を m 本とし、各画素で表示する階調ビット数を K とし、1フレーム期間を m 個の単位期間に分割し、各単位期間を K 個の選択期間に分割し、ある走査線上の画素の電気光学素子内のデータを水平走査期間内で書き換える際に、 j を1以上 K 未満の整数とし、 $p(j)$ （ただし $j=1, 2, 3, \dots, K-1$ ）および $p(K)$ をそれぞれ、1以上 K 以下の互いに異なる整数とし、すべての j について、 j ビット目のデータを、ある単位期間 $N(j)$ 内の第 $p(j)$ 番目の選択期間のタイミングで電気光学素子に供給し、 K ビット目のデータを、ある単位期間 $N(K)$ 内の第 $p(K)$ 番目の選択期間のタイミングで第1のメモリ素子に供給し、その後、その第1のメモリ素子から電気光学素子に供給する構成である。

【0352】

これにより、ビットの重みの大きなデータを画素毎に保持することで、ビットの重みの大きなデータを複数表示する動作が、表示走査することなく実現できる。それゆえ、1回の表示毎に表示走査を行うことなく、動画偽輪郭の発生を抑制することができるという効果を奏する。

【0353】

また、本発明の表示装置は、上記電位保持手段と、OFF輝度設定配線との間に第6のスイッチング素子を設けた構成である。

【0354】

このような構成と、上記の構成に加えて、上記第1のメモリ素子に保持させた最大階調のデータに対応する電圧を、一旦、電位保持手段に保持させてから、上記電気光学素子に印加する構成である。

【0355】

この電位保持手段に保持された電荷を上記第6のスイッチング素子を用いて放電させることで、上記最大階調のデータに対応する電圧が電気光学素子へ印加されている時間を、最大階調の重みに合わせて調整することができる。

【0356】

また、本発明の表示装置は、液晶表示素子等の電気光学素子と接続する画素電極と、その画素電極へ電圧を印加する第1のメモリ素子を持ち、前記電気光学素子の電源電圧と、上記電気光学素子への電圧印加のオンオフ時期を決める信号として上記第1のメモリ素子に印加するオンオフ電圧とを、別個の電源とする構成である。

【0357】

これにより、電気光学素子の電源電圧が変動しても、第1のメモリ素子に印加される電圧が変動しない。それゆえ、上記の構成による効果に加えて、安定な輝度特性を得ることができるという効果を奏する。

【0358】

また、本発明の表示装置は、上記の構成に加えて、上記画素が列ごとに走査されてデータを表示するものであり、1列分のデータを並列に上記画素へ直接転送する第2のメモリ素子を備えている構成である。

【0359】

これにより、第2のメモリ素子から直接画素メモリへ書き込むことで、第2のメモリ素子から信号線ドライバへシリアルにデータを転送する必要がなくなる。それゆえ、上記の構成による効果に加えて、信号線ドライバへデータを転送するための手間と電力が削除でき、表示装置全体の低消費電力化を図ることができる。

という効果を奏する。

【0360】

また、画素に配置させた第1のメモリ素子と画素（表示領域）外に配置させた第2のメモリ素子を合わせて、必要な階調でデータを記憶することができるので、画素に配置した第1のメモリ素子の個数以上の階調表示や、外部からデータを取り込まなくても映像切り替えを行うことができるという効果がある。

【0361】

また、画素にメモリの一部を配置するので、画素（表示領域）外に配置させる第2のメモリ素子の個数を減らせる。その結果、そのメモリを配置する領域の面積を減らし、必要な数のデータの記憶をより少ない基板サイズで実現できる。これは、1枚のガラス基板当たりのパネル取り数の増加をもたらし、パネルコストを下げる効果がある。

【0362】

また、同一サイズの表示領域を持ったパネルの小型化をもたらす効果もある。更に、パネルへメモリしたデータだけを用いて映像表示を行うことで、表示装置の低消費電力化をもたらす。特にパネルに配置したメモリの範囲であれば、CPU等の外部装置へ電源を入れることなく、複数の映像を切り替え表示できるので、その低消費電力化効果は大きい。

【図面の簡単な説明】

【図1】

実施の形態1で用いた画素の回路構成を示す回路図である。

【図2】

実施の形態2で用いた画素の回路構成を示す等価回路図である。

【図3】

実施の形態3で用いた画素の回路構成を示す等価回路図である。

【図4】

実施の形態3で用いた時間分割階調走査方法のタイミング図である。

【図5】

実施の形態3で示した電圧変換回路の回路構成を示す等価回路図である。

【図 6】

実施の形態 4 で用いた画素の回路構成を示す等価回路図である。

【図 7】

実施の形態 5 で用いた画素の回路構成を示す回路図である。

【図 8】

実施の形態で用いた有機 EL の印加電圧 v s 有機 EL 発光電流を示すグラフである。

【図 9】

(a) および (b) は、実施の形態で用いた有機 EL の概念を示すものであり、(a) は積層構造を示す説明図、(b) は化学構造を示す説明図である。

【図 10】

実施の形態 1 で用いた有機 EL 駆動用 TFT のゲート電圧 v s 有機 EL 発光電流を示すグラフである。

【図 11】

実施の形態 5 で用いた本発明の動画偽輪郭の効果を示す説明図である。

【図 12】

実施の形態 5 で用いた画素毎にメモリを持った表示装置のシステム構成を示すブロック図である。

【図 13】

図 12 の SRAM の回路構成を示すブロック図である。

【図 14】

実施の形態 6 で用いた画素毎にメモリを持った表示装置のシステム構成を示すブロック図である。

【図 15】

実施の形態 6 で用いた画素の回路構成を示す等価回路図である。

【図 16】

実施の形態 6 で用いたメモリセルの回路構成を示す等価回路図である。

【図 17】

実施の形態 6 で用いた時間分割階調走査方法のタイミング図である。

【図 1 8】

実施の形態 6 で用いた映像切り替え走査方法のタイミング図である。

【図 1 9】

実施の形態 7 で用いた画素の回路構成を示す回路図である。

【図 2 0】

実施の形態 7 で用いた本発明の時間分割走査方法を示す説明図である。

【図 2 1】

実施の形態 7 で示した画素の回路構成を示す等価回路図である。

【図 2 2】

実施の形態 8 で用いた画素の回路構成を示す回路図である。

【図 2 3】

実施の形態 8 で用いた本発明の時間分割走査方法のタイミング導出を示す説明図である。

【図 2 4】

実施の形態 8 で用いた本発明の時間分割走査方法の別のタイミング導出を示す説明図である。

【図 2 5】

実施の形態 8 で用いた本発明の時間分割走査方法の別のタイミング導出を示す説明図である。

【図 2 6】

従来の画素毎にメモリを持った有機 E L 表示装置の画素の回路構成を示す回路図である。

【図 2 7】

図 2 6 の画素メモリセルの回路構成を示す回路図である。

【図 2 8】

従来の画素毎にメモリを持った液晶表示装置のシステム構成を示す説明図である。

【図 2 9】

図 2 8 の画素メモリの回路構成を示す回路図である。

【図 3 0】

従来の画素毎にメモリを持った液晶表示装置のシステム構成を示す説明図である。

【図 3 1】

図 3 0 の画素メモリの回路構成を示す回路図である。

【図 3 2】

図 3 0 の画素メモリの別の回路構成を示す回路図である。

【図 3 3】

従来の回路構成を示す回路図である。

【図 3 4】

従来の時間分割階調表示方法を示す説明図である。

【図 3 5】

動画偽輪郭の発生原理を示す説明図である。

【符号の説明】

- 1 CPU
- 2 フラッシュメモリ
- 3 表示装置
- 4 SRAM (第 2 のメモリ素子)
- 5 コントローラ・ドライバ回路
- 6 TFT
- 7 TFT
- 8 有機 EL (電気光学素子)
- 9 メモリ回路 (第 1 のメモリ素子)
- 10 画素
- 11 TFT
- 12 TFT
- 13 TFT
- 14 TFT
- 15 TFT

- 1 7 メモリ回路 (第 1 のメモリ素子)
- 1 8 メモリ回路 (第 1 のメモリ素子)
- 2 0 T F T
- 2 1 T F T
- 2 2 コンデンサ (電位保持手段)
- 2 3 液晶素子 (電気光学素子)
- 2 4 T F T
- 2 5 T F T
- 2 6 有機 E L (電気光学素子)
- 3 1 基板
- 3 2 陽極
- 3 3 陰極
- 3 4 有機多層膜
- 3 5 正孔入層
- 3 6 正孔輸送層
- 3 7 発光層
- 3 8 電子輸送層
- 3 9 層構成
- 5 0 アドレスバッファ
- 5 1 ロウデコーダ
- 5 2 メモリアレイ
- 5 3 パラレル O U T コントロール回路
- 5 4 シリアル O U T コントロール回路
- 5 5 シリアル I N コントロール回路
- 5 6 セレクタ
- 5 7 カラムデコーダ
- 5 8 アドレスバッファ
- 5 9、6 0 A N D 回路
- 6 1、6 2 ビット制御用 T F T

6 3, 6 4 T F T
6 5, 6 6 コンデンサ
6 7 液晶素子
6 8, 6 9 メモリ
7 0 ~ 7 3 T F T
7 4 コンデンサ
7 5 基板
7 6 シリアル / パラレル変換回路
7 7 コントローラ
7 8 画素外メモリ領域
7 9 表示領域
8 0 メモリセル
8 1 表示画素
8 2 入力信号線
8 3 ~ 8 5 メモリ
8 6 ~ 9 1 T F T
9 2 コンデンサ
9 3 ~ 9 6 メモリ
9 7 電圧変換回路
9 8, 9 9 メモリ
1 0 0, 1 0 1 コンデンサ
A i j 画素
C i 走査線
C i a, C i b 走査線
C i b i t 1 制御線
C i b i t 2 制御線
C i b i t 3 制御線
C i C 第 2 走査線
C i E 消去線

Dj データ線

Gi ゲート線

Gibit1~Gibit2 制御線

GiRW 書き込み線

Mij メモリセル

Q1~Q26 TFT

Sj データ配線

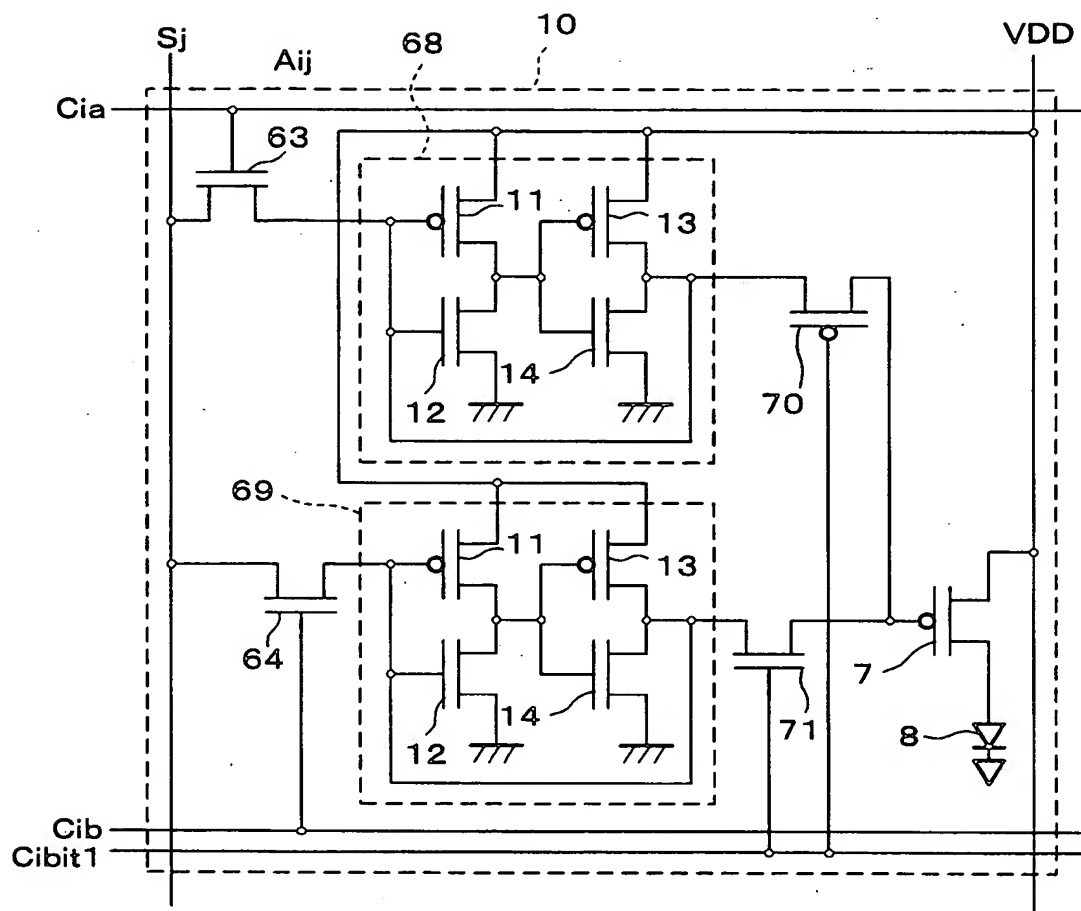
VCC ロジック電源線

VDD 駆動用電源

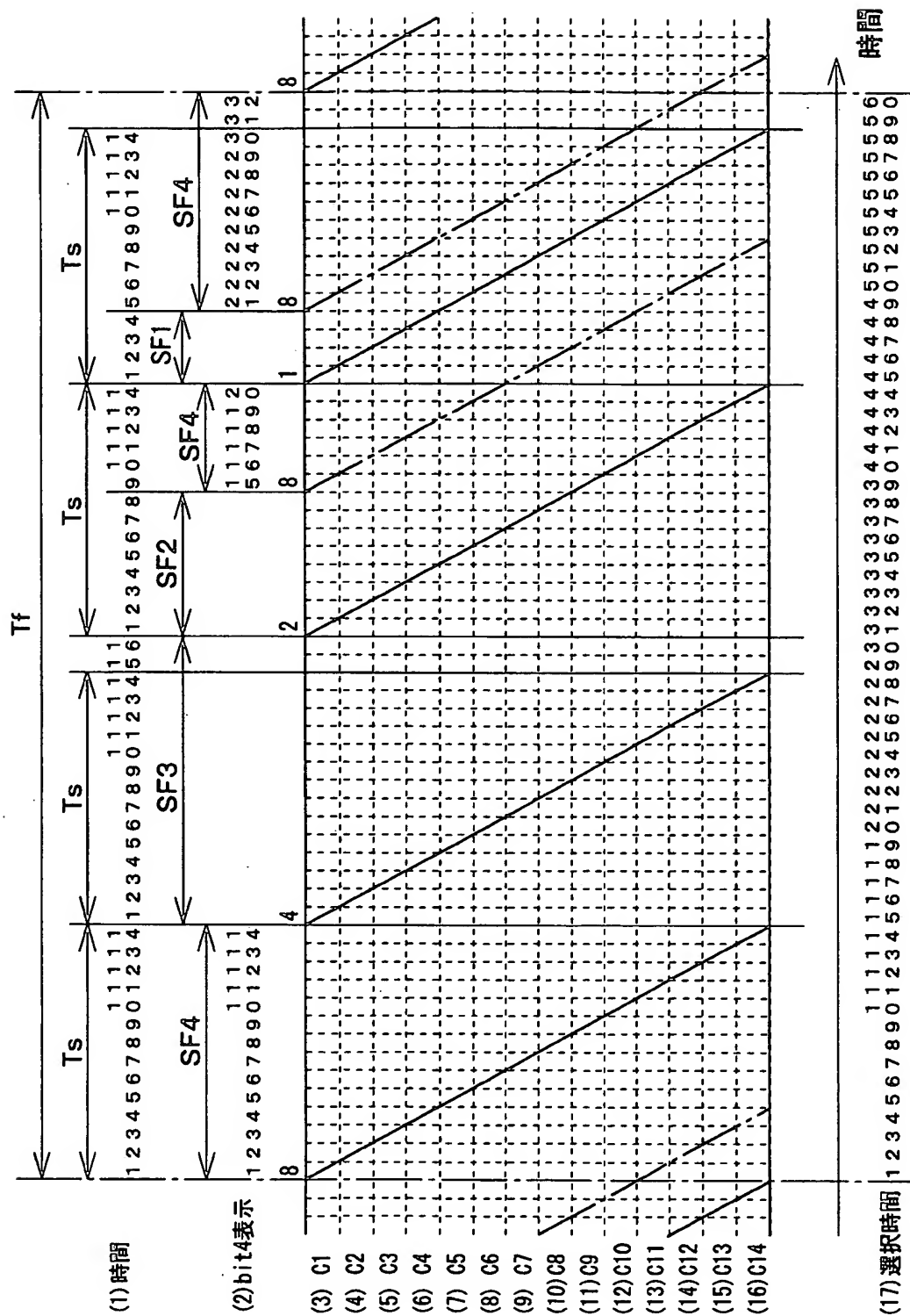
Von ゲートON電圧

Voff ゲートOFF電圧

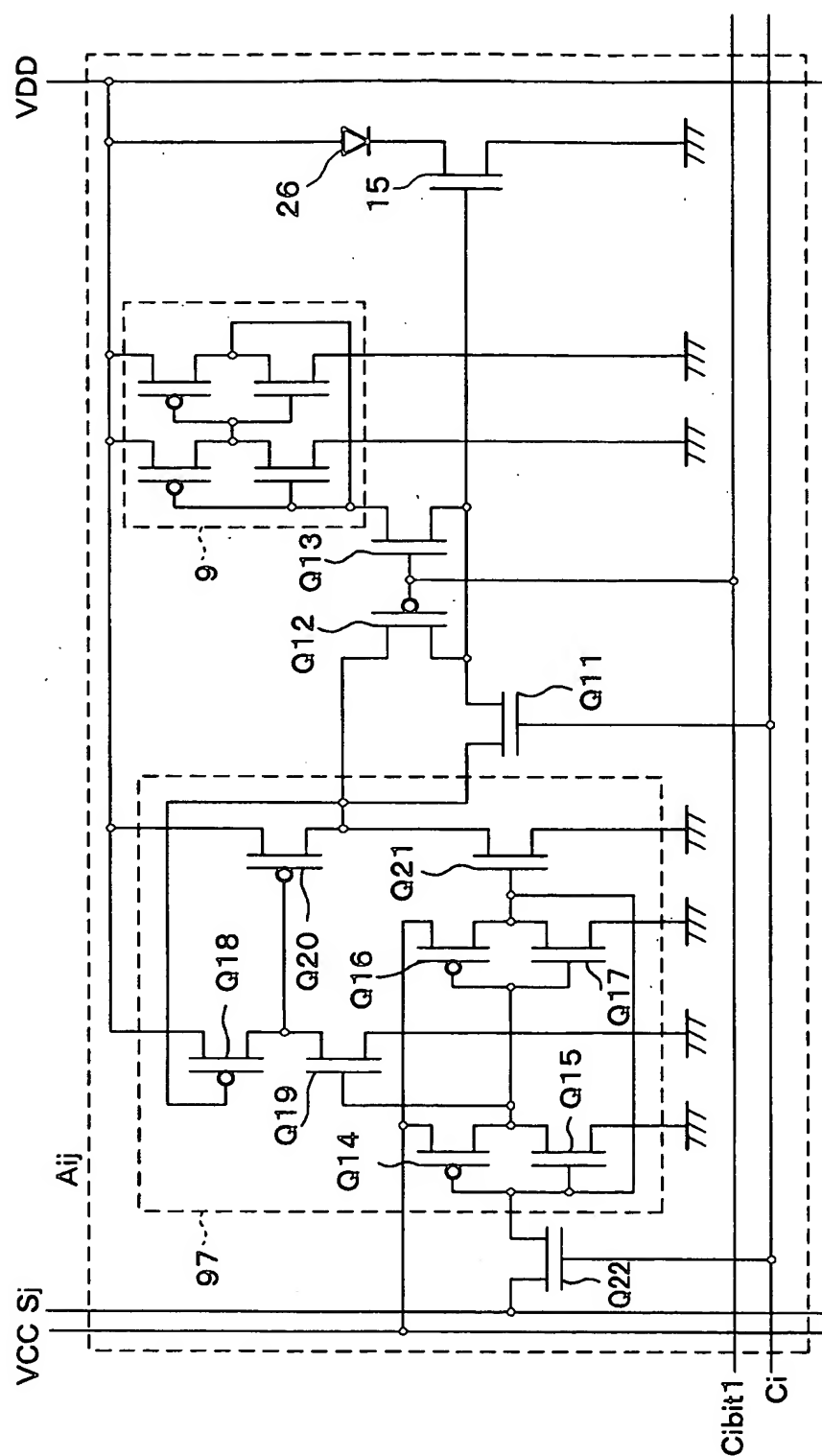
【図 3】



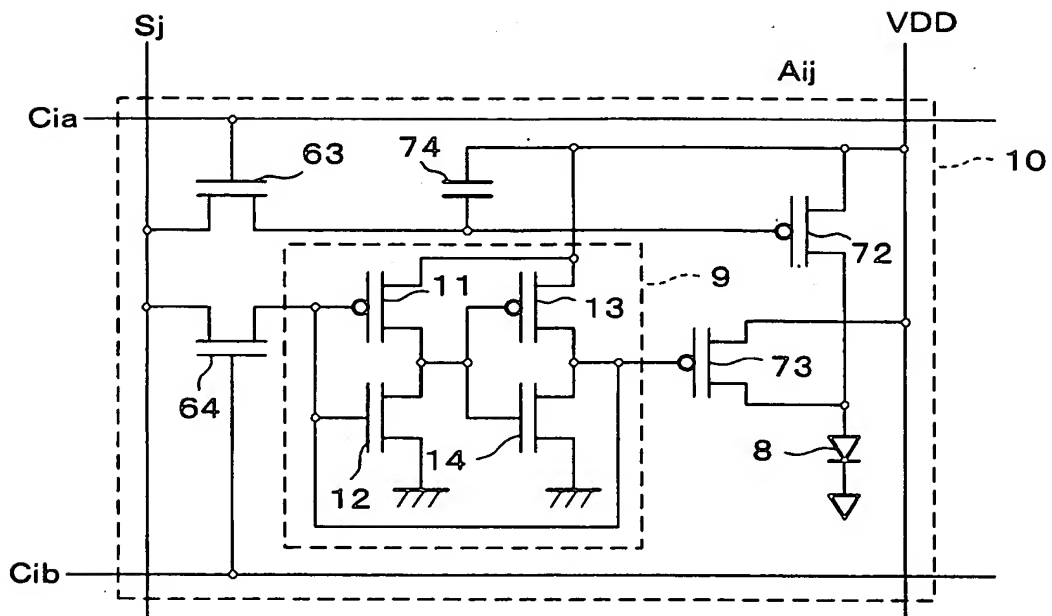
【図4】



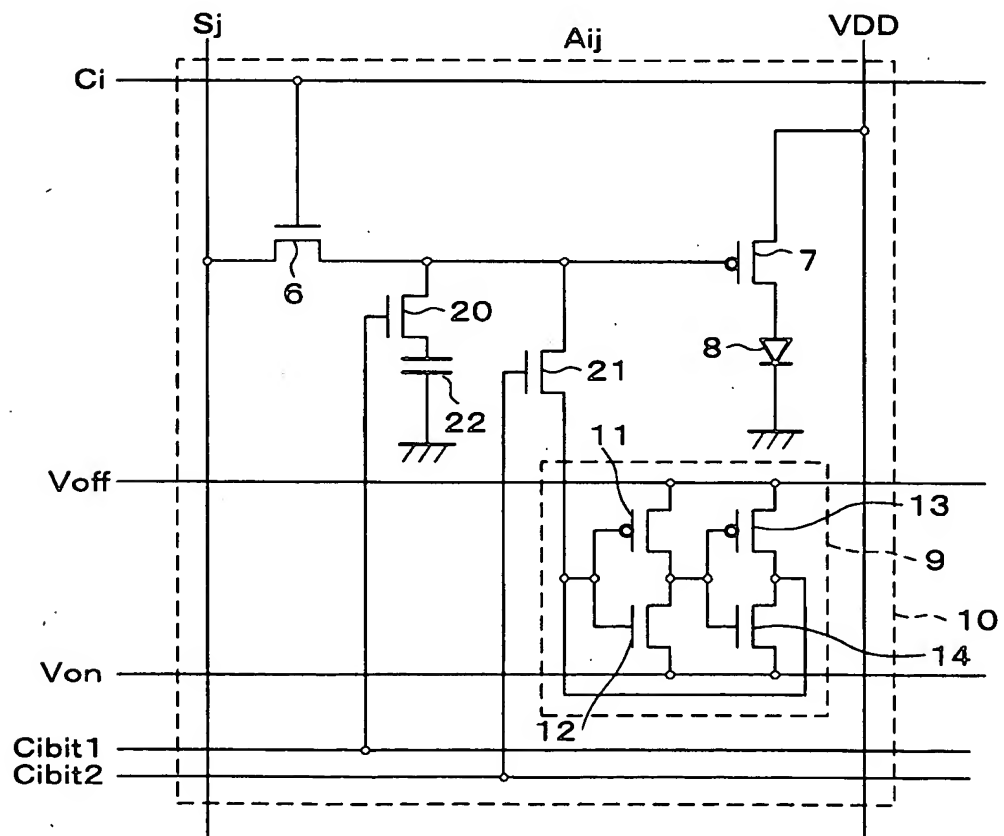
【図 5】



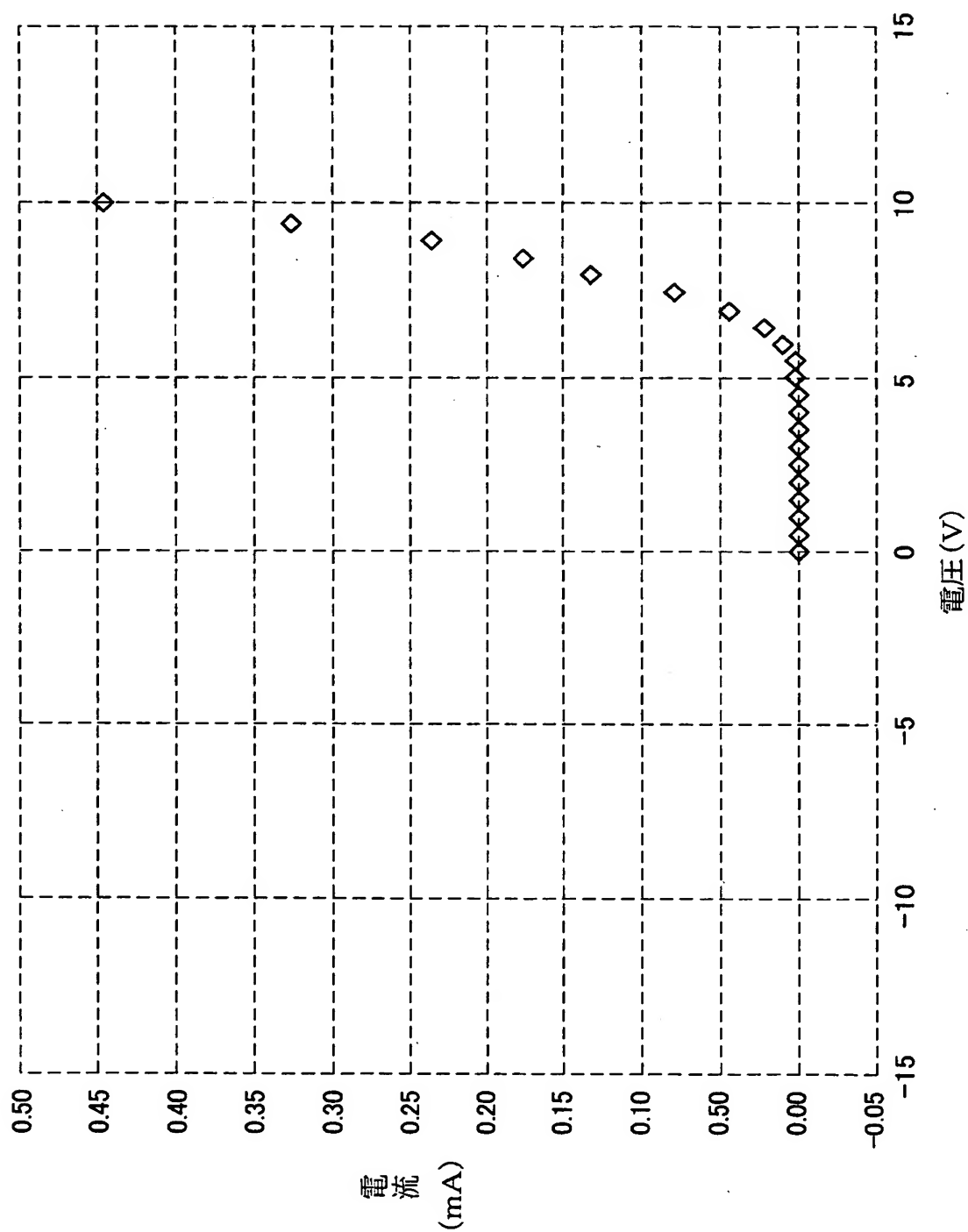
【図 6】



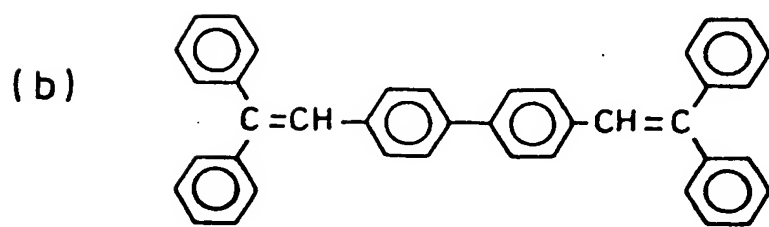
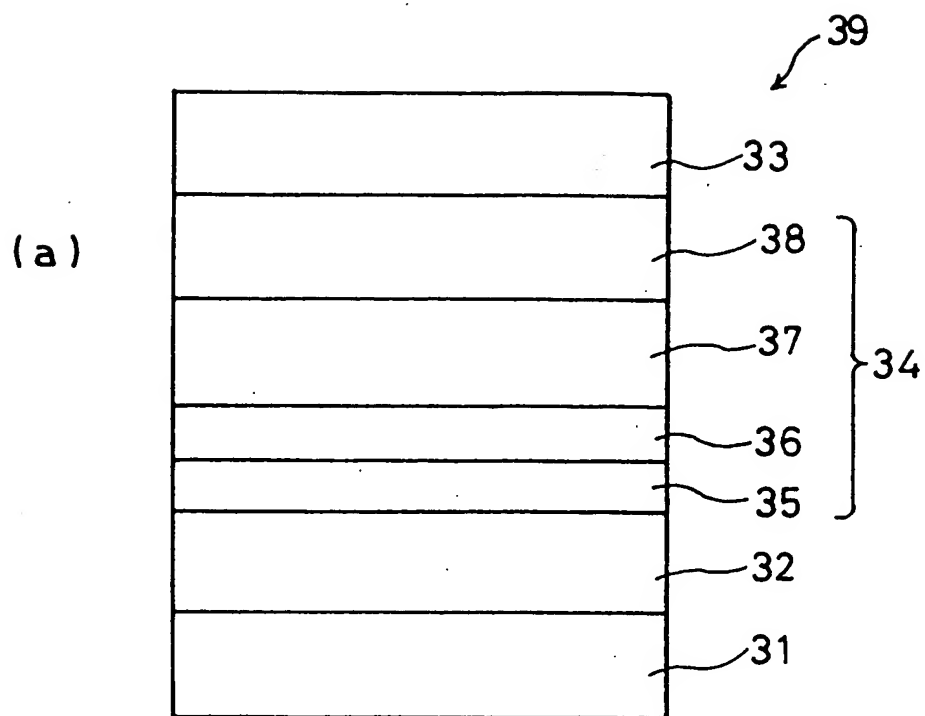
【図 7】



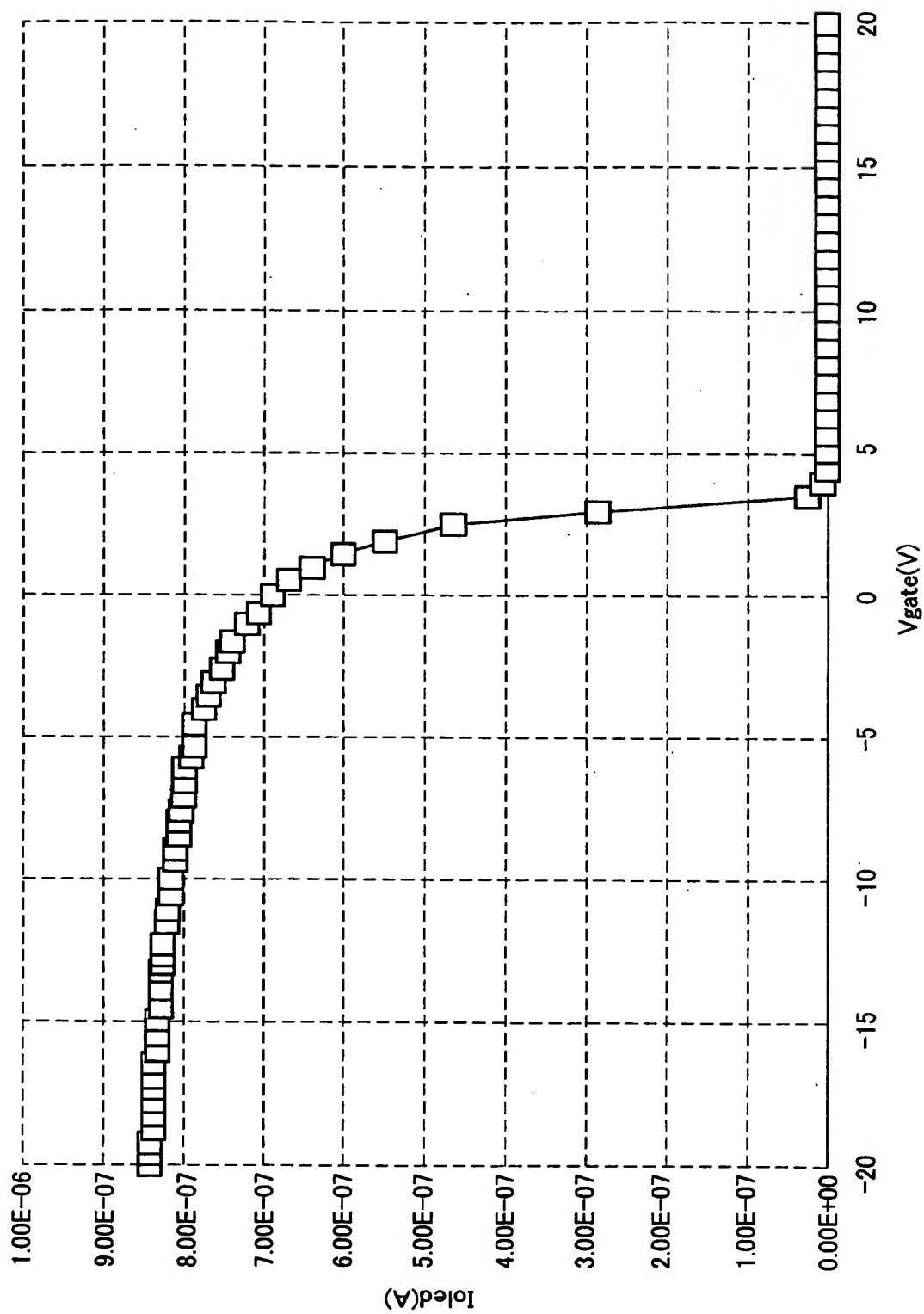
【図 8】



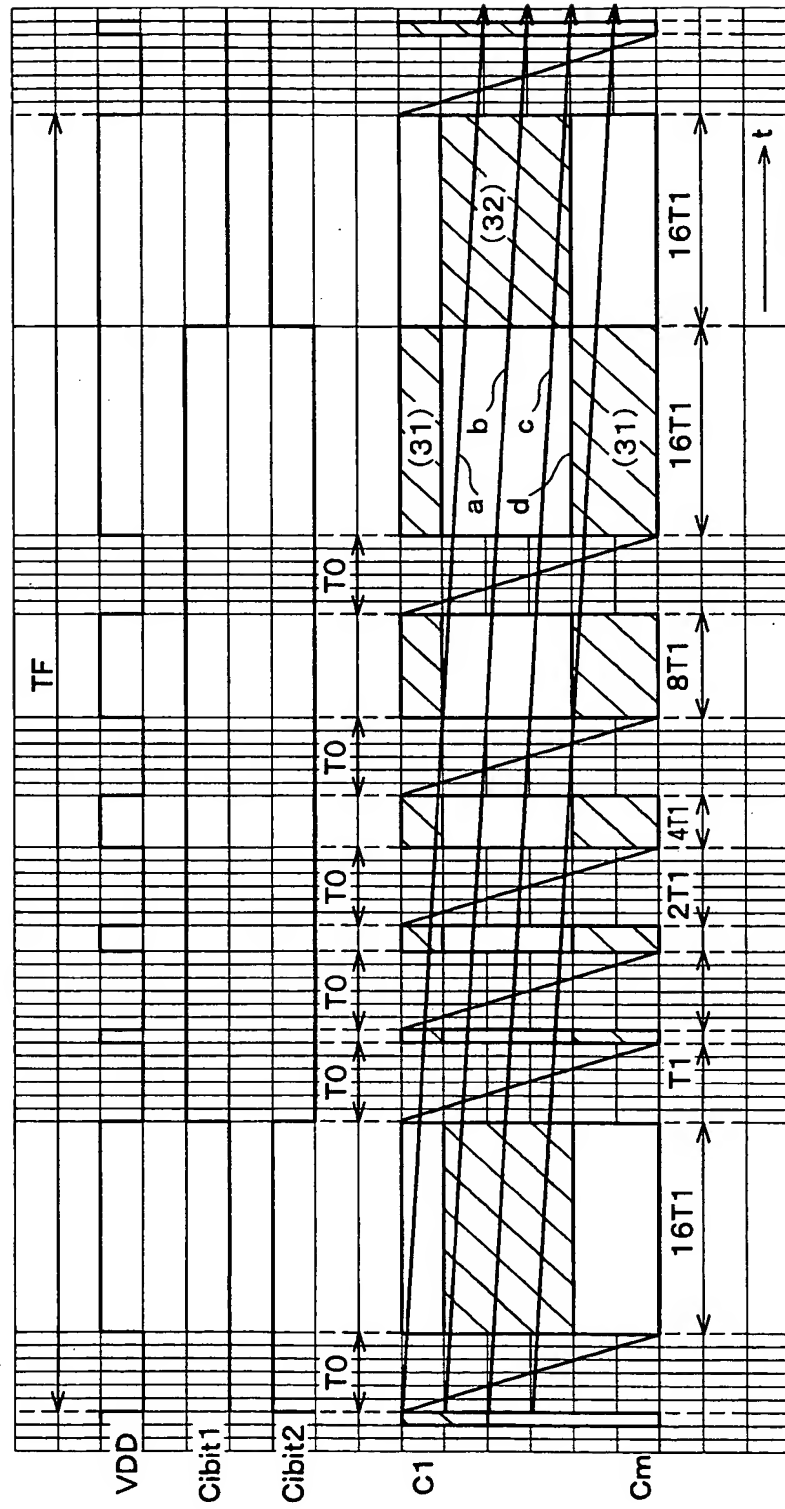
【図9】



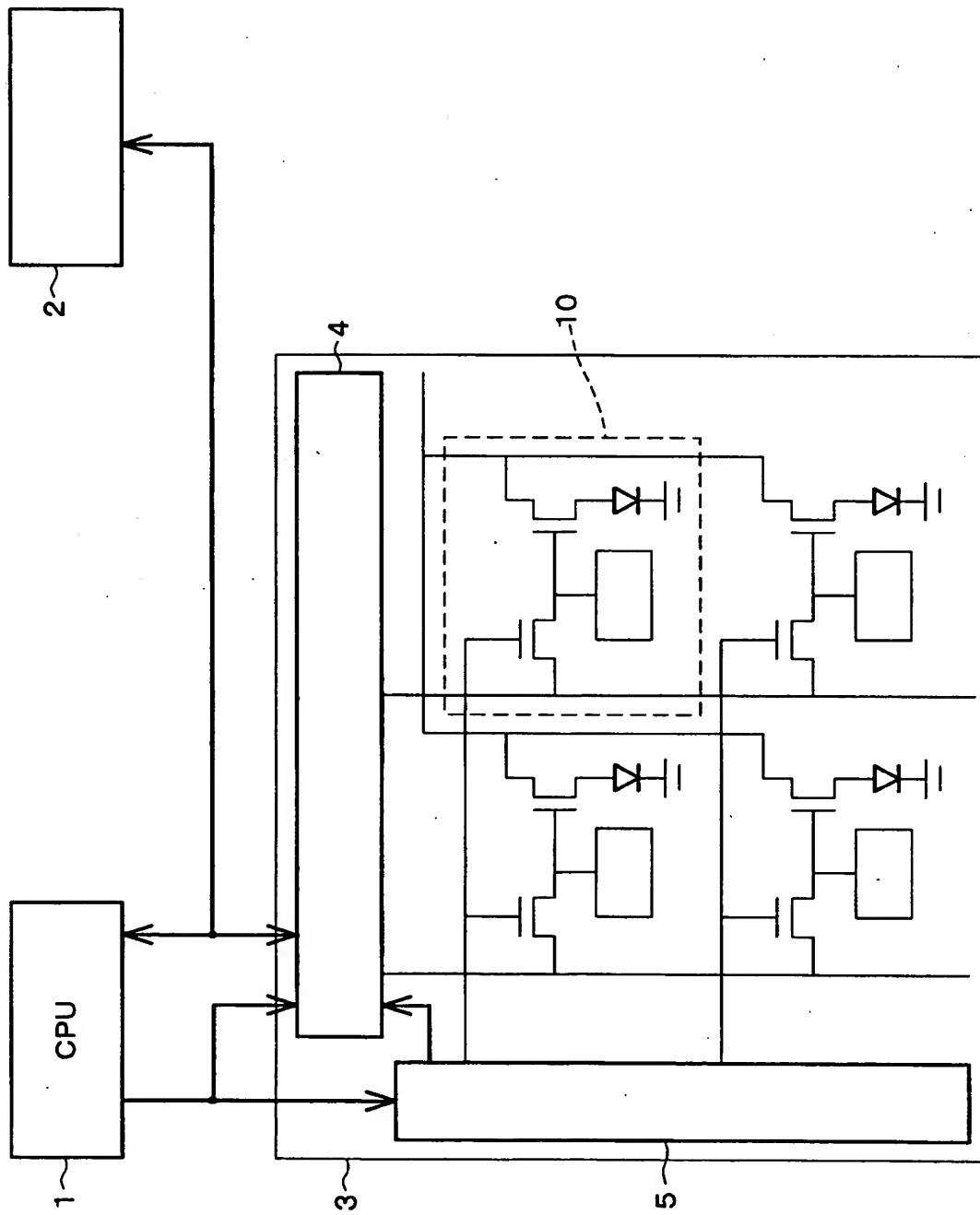
【図 10】



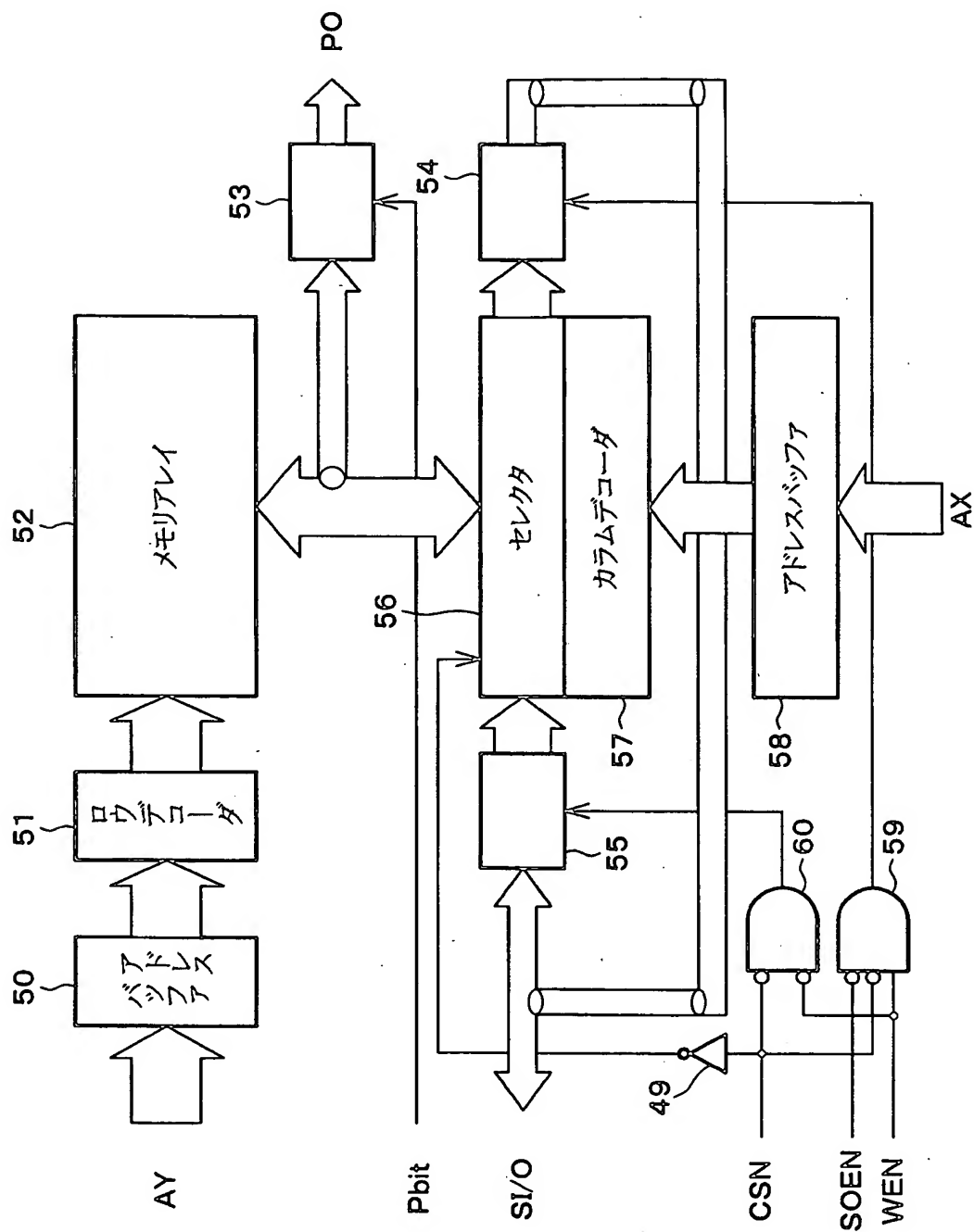
【図 11】



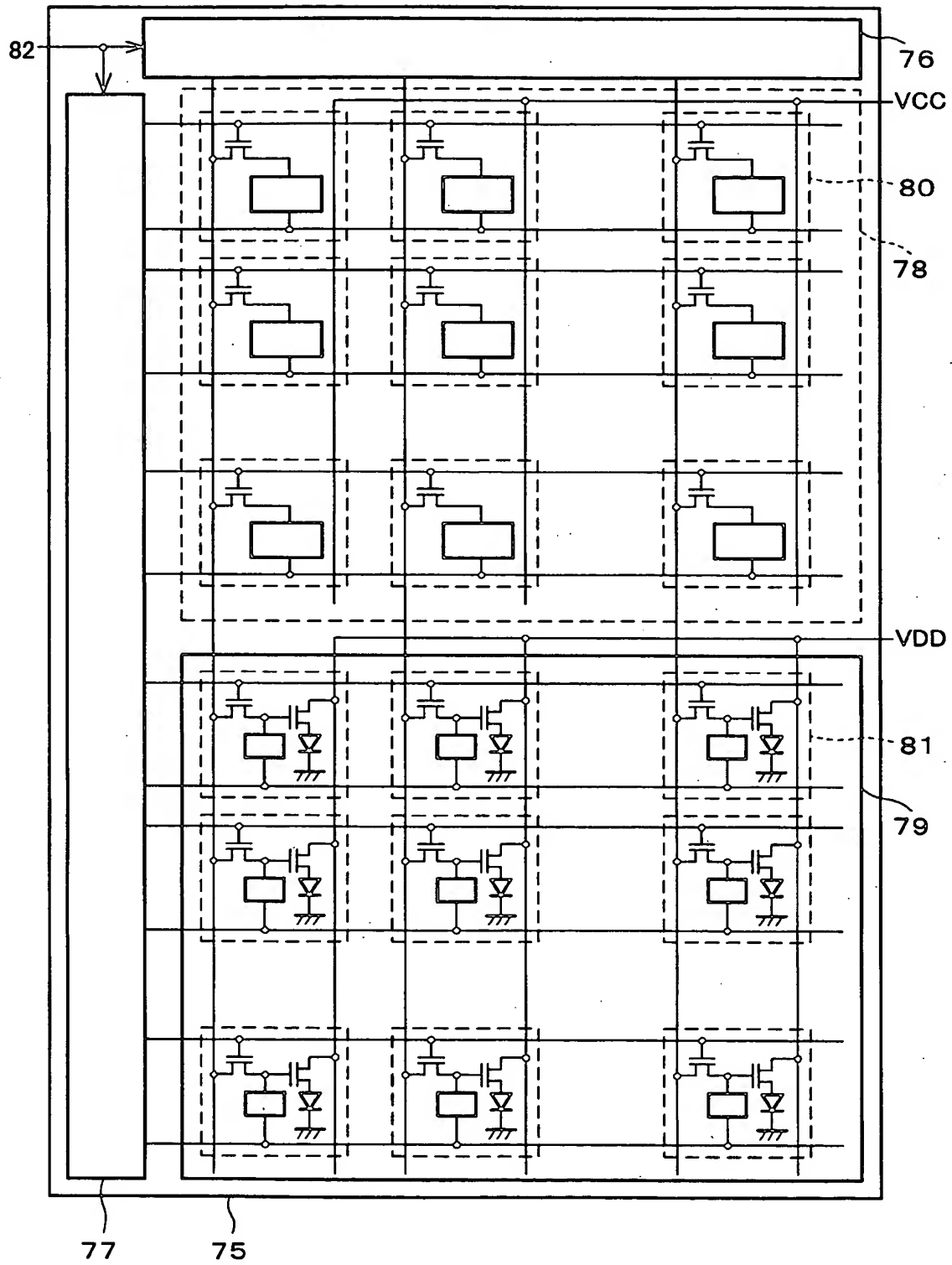
【図 12】



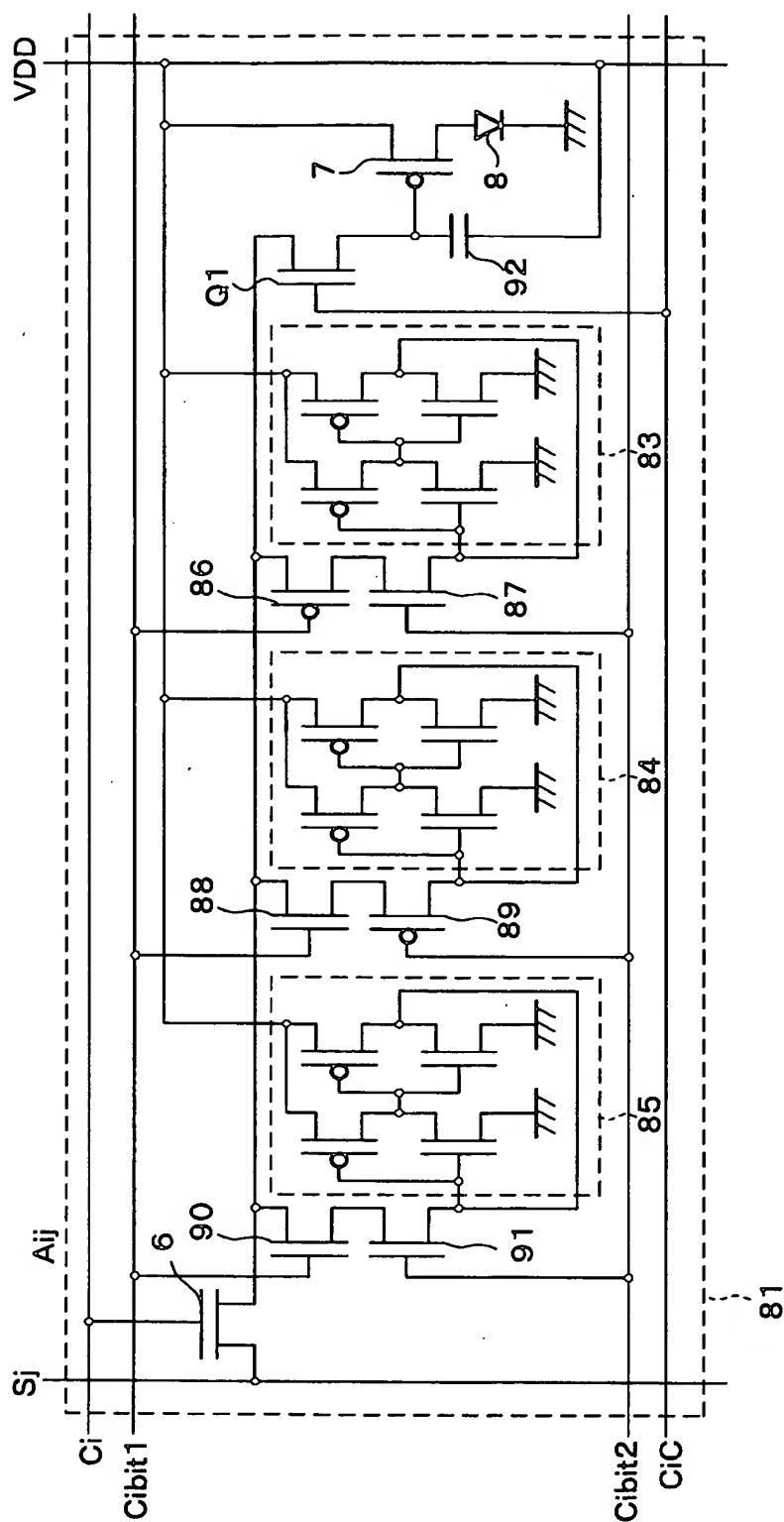
【図13】



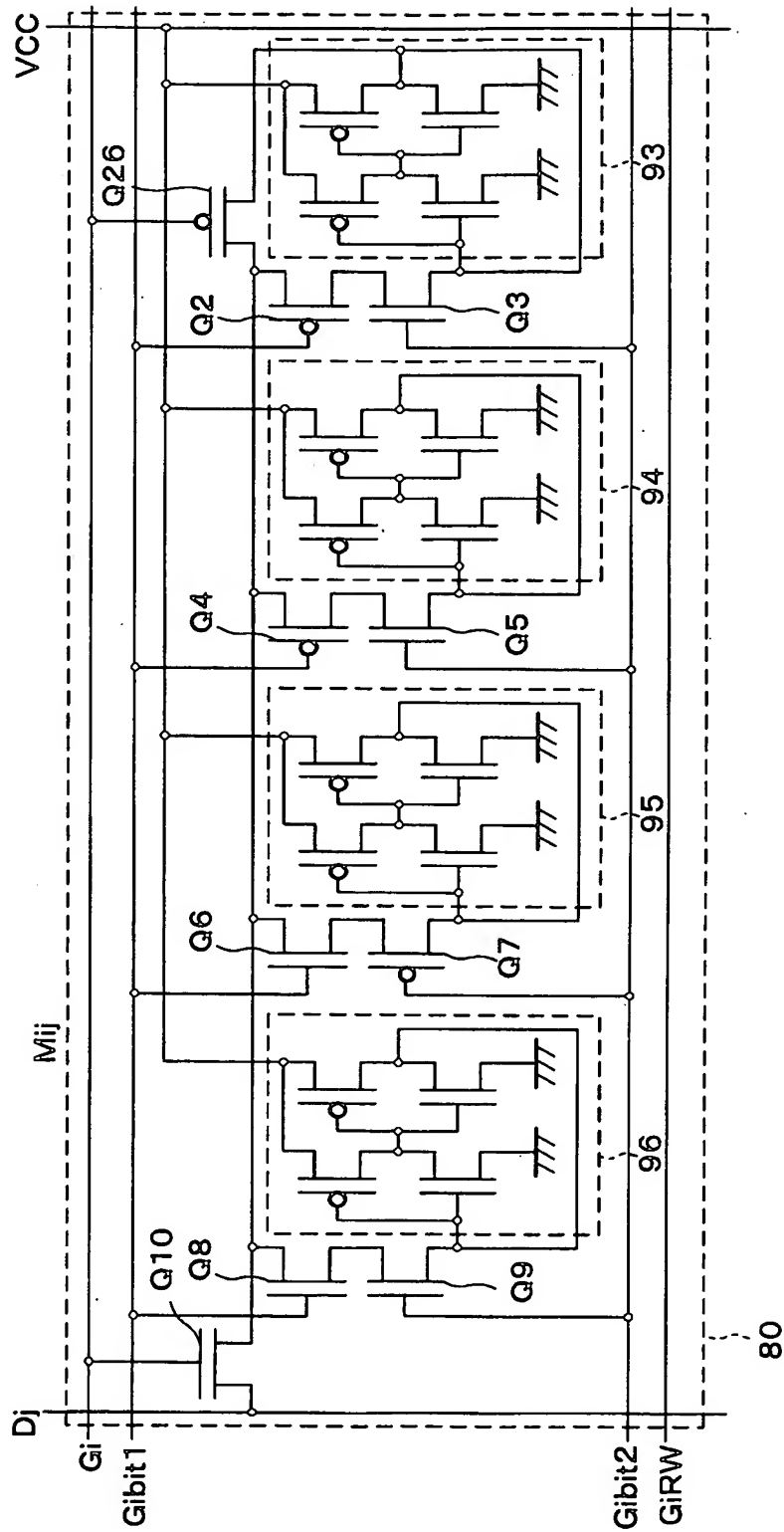
【図14】



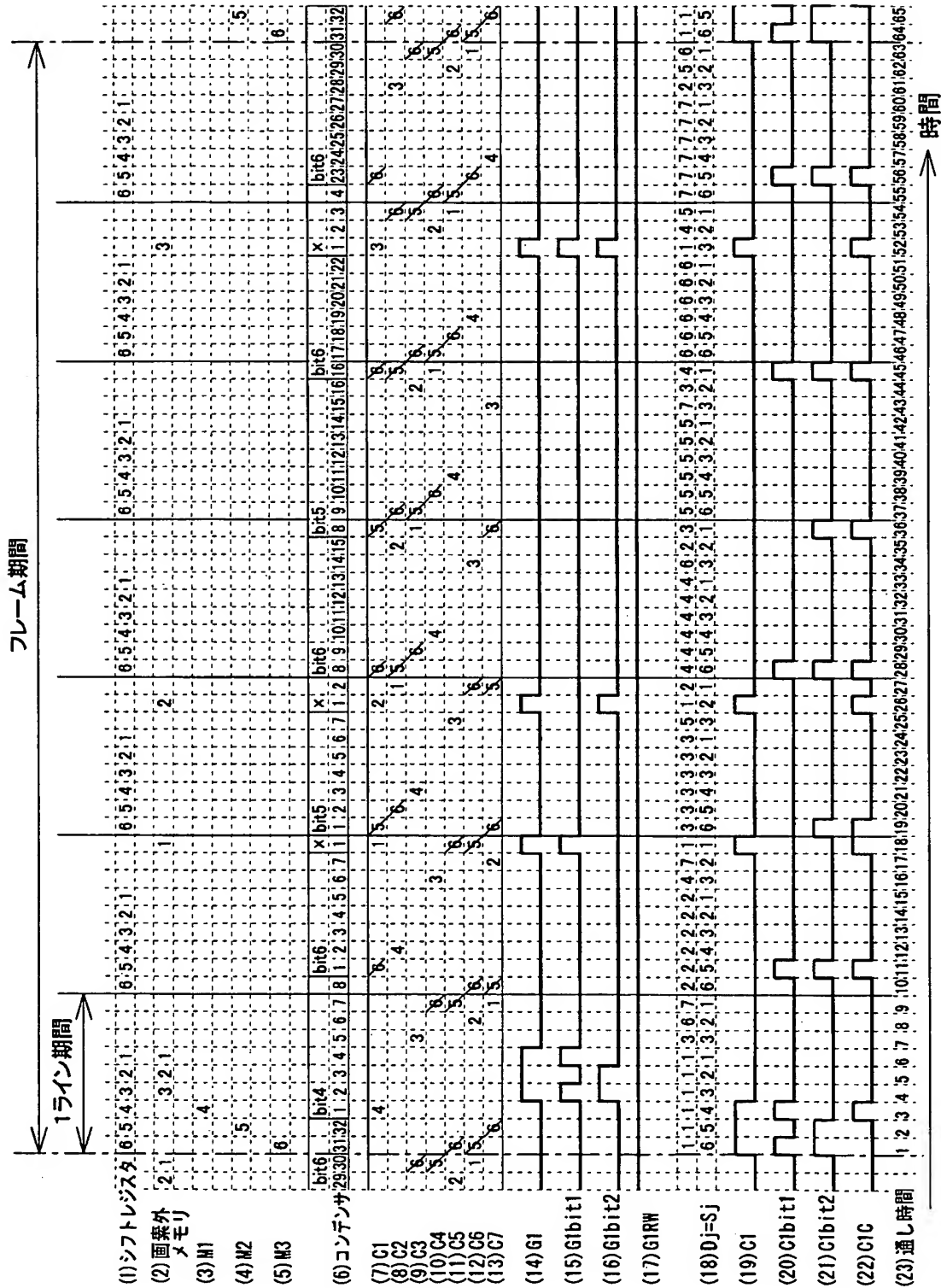
【図 15】



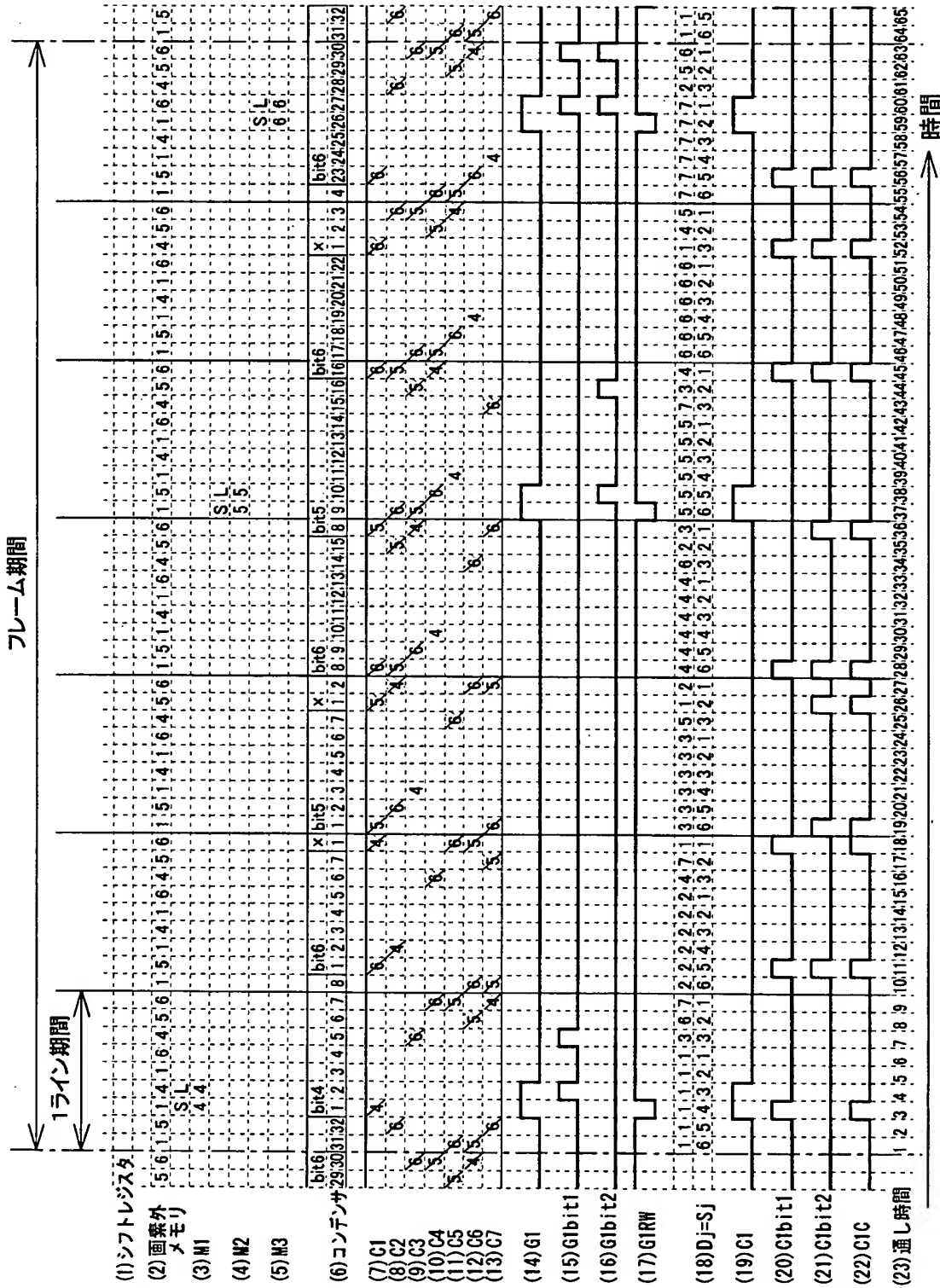
【図16】



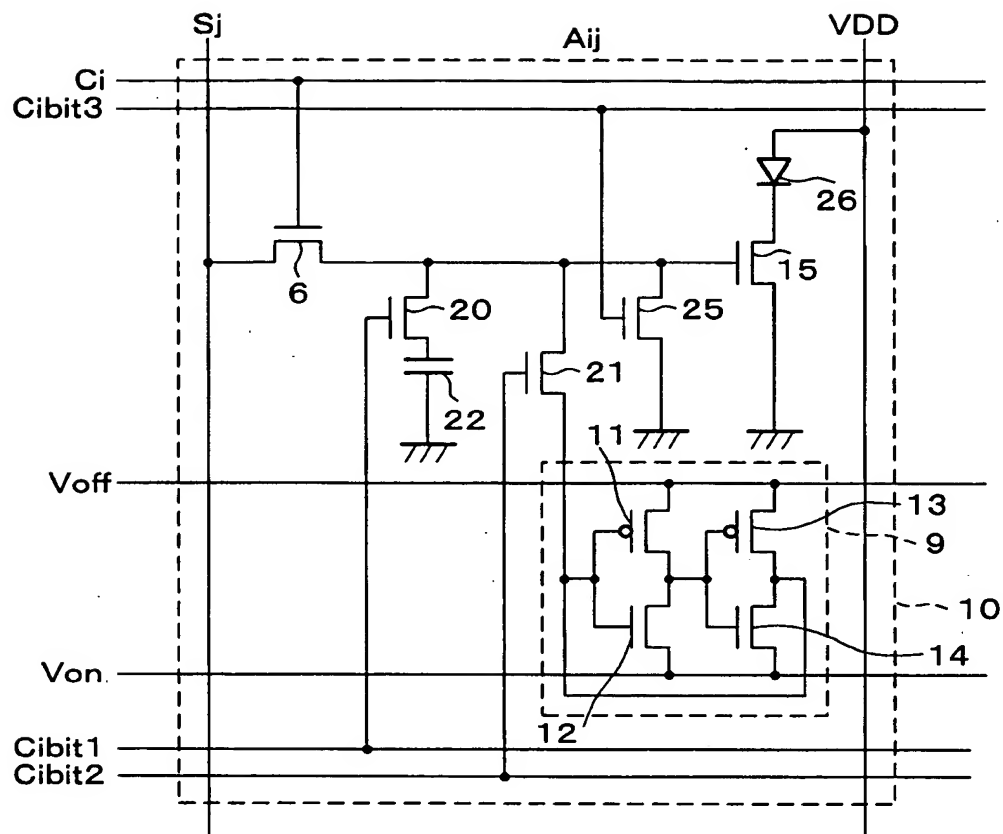
【図 17】



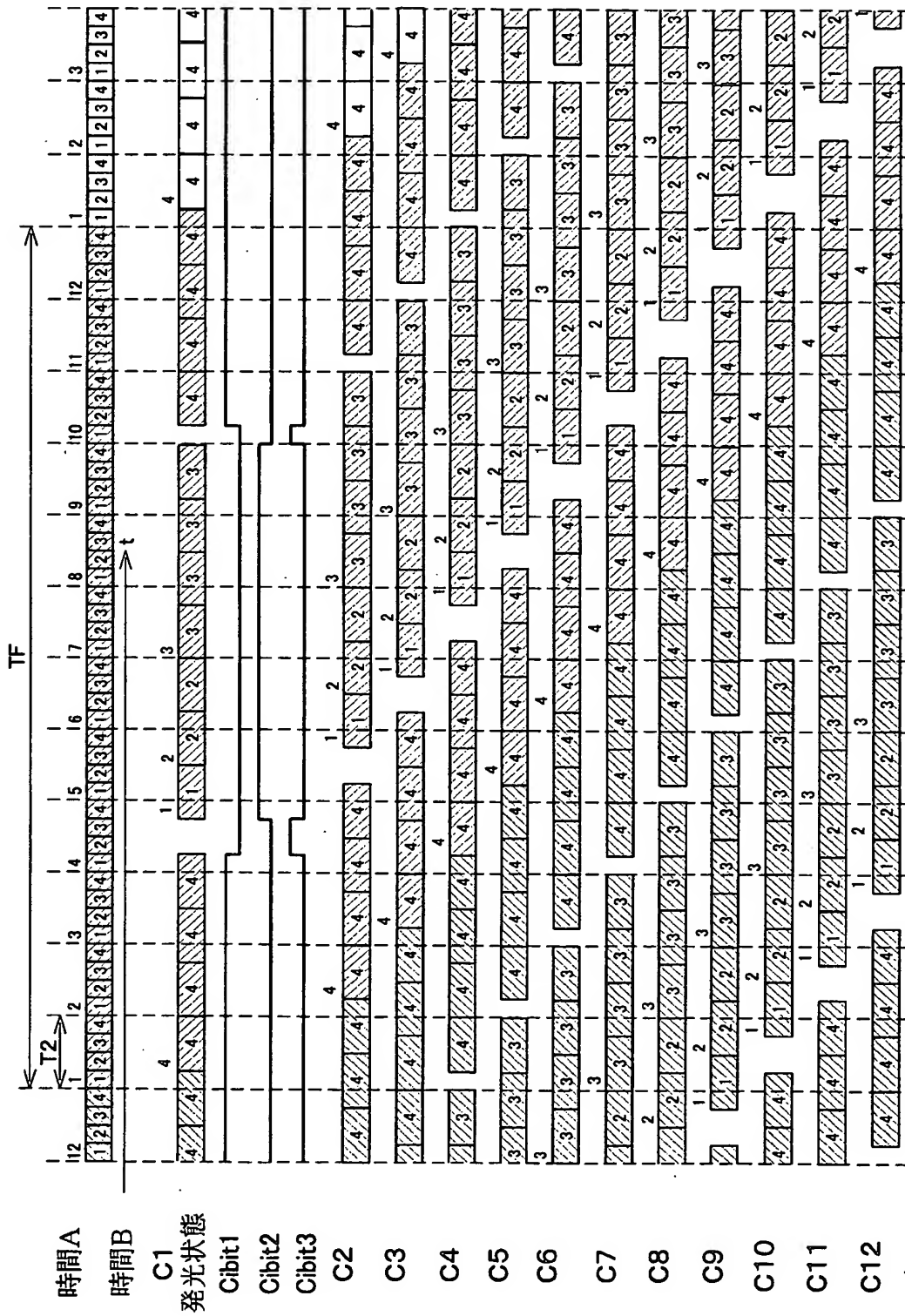
【図 18】



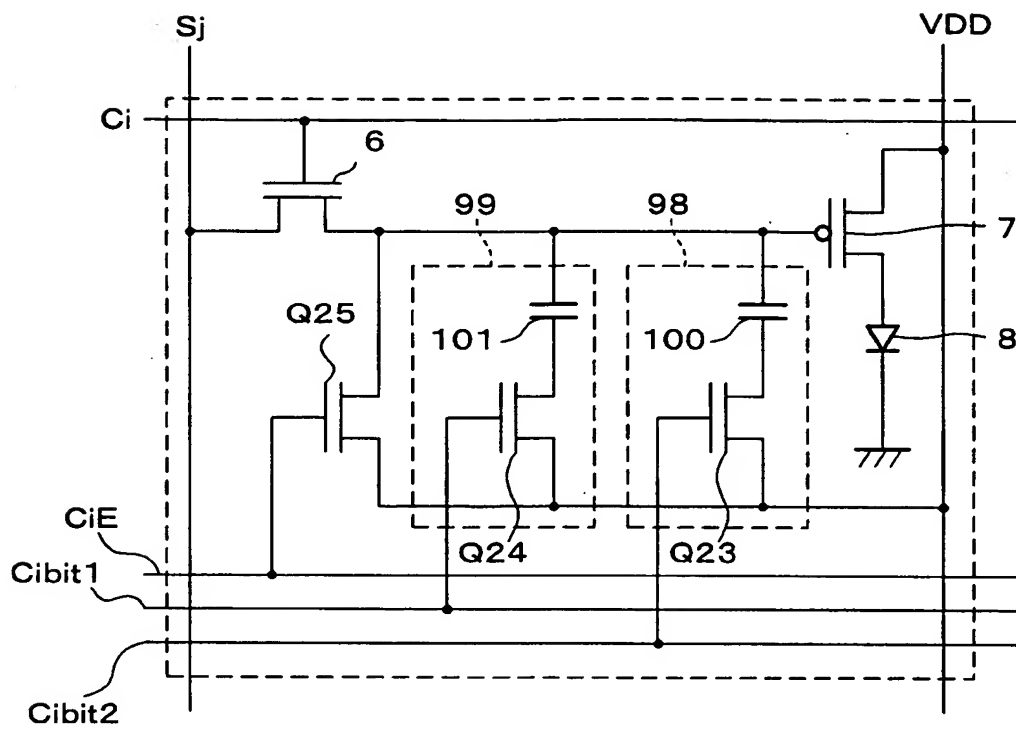
【図 19】



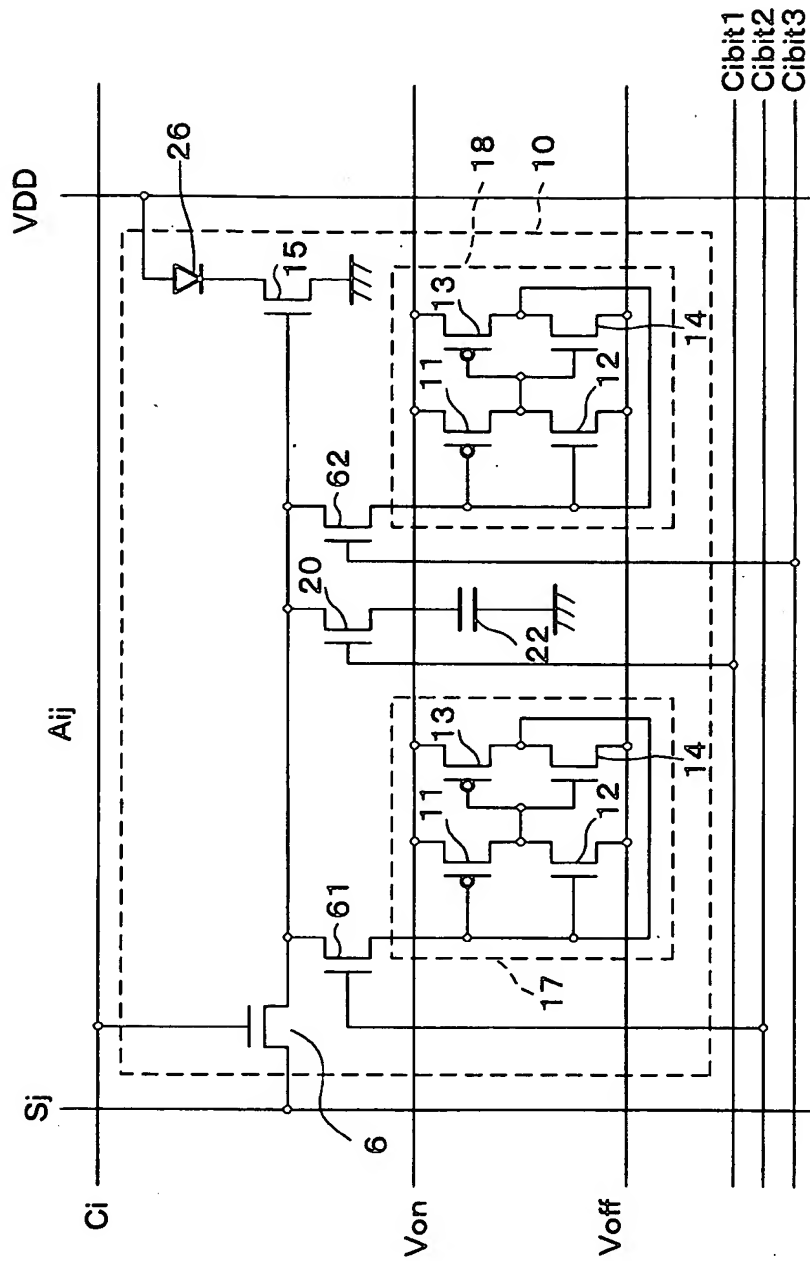
【図 20】



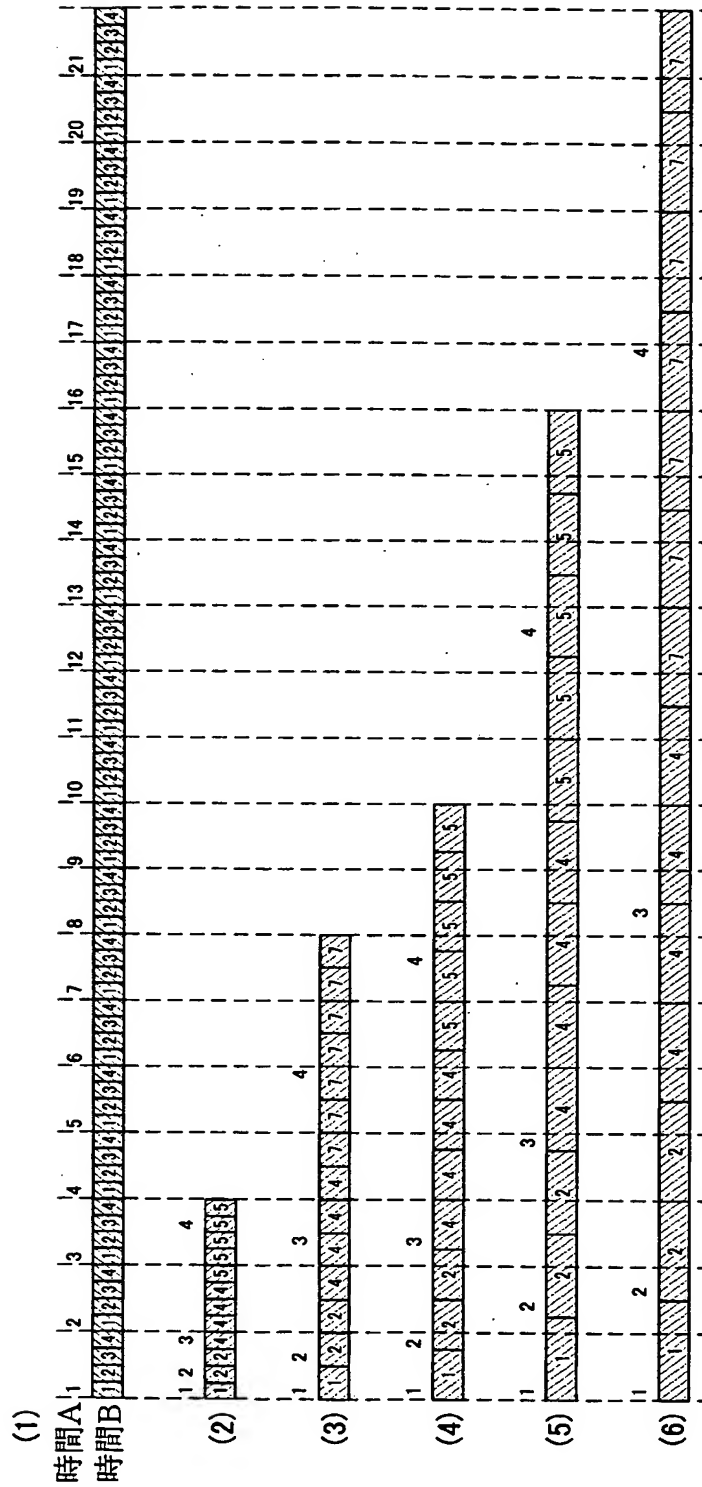
【図 21】



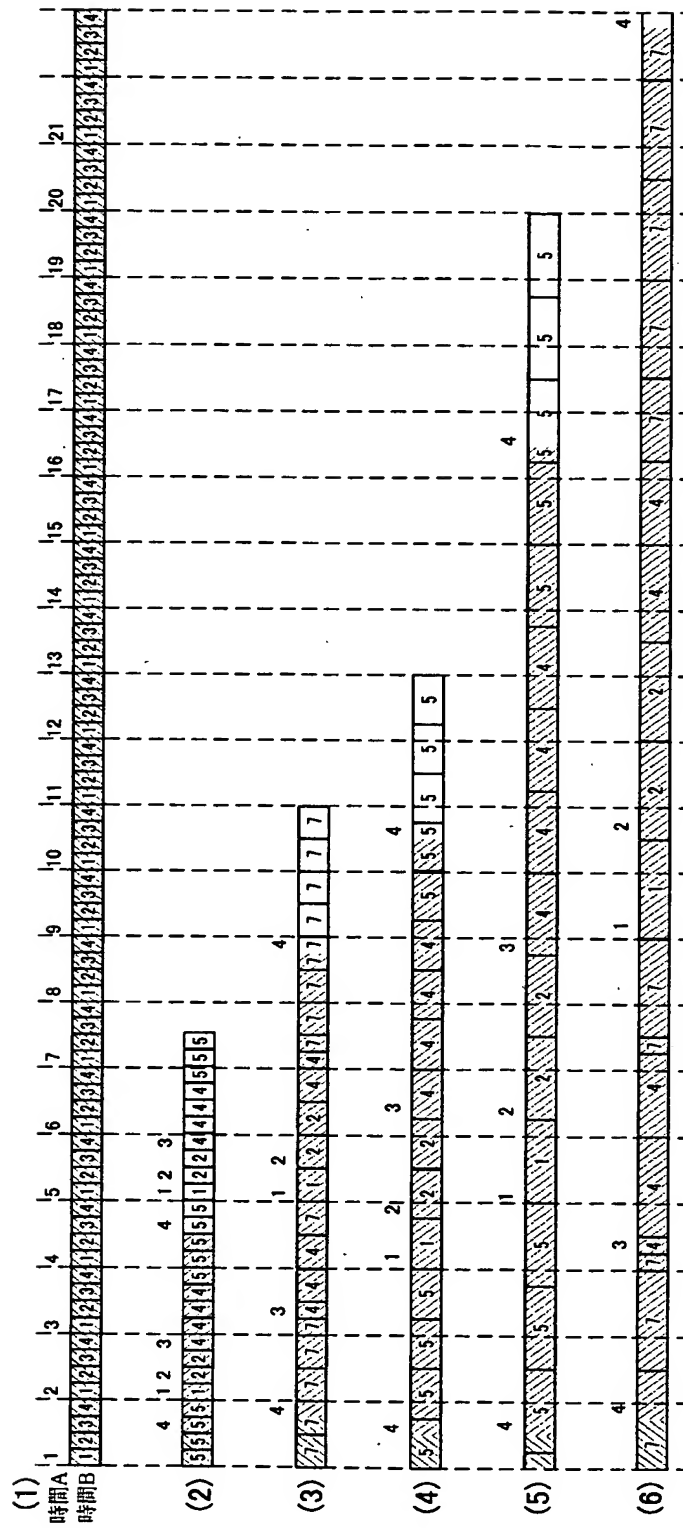
【图 2 2】



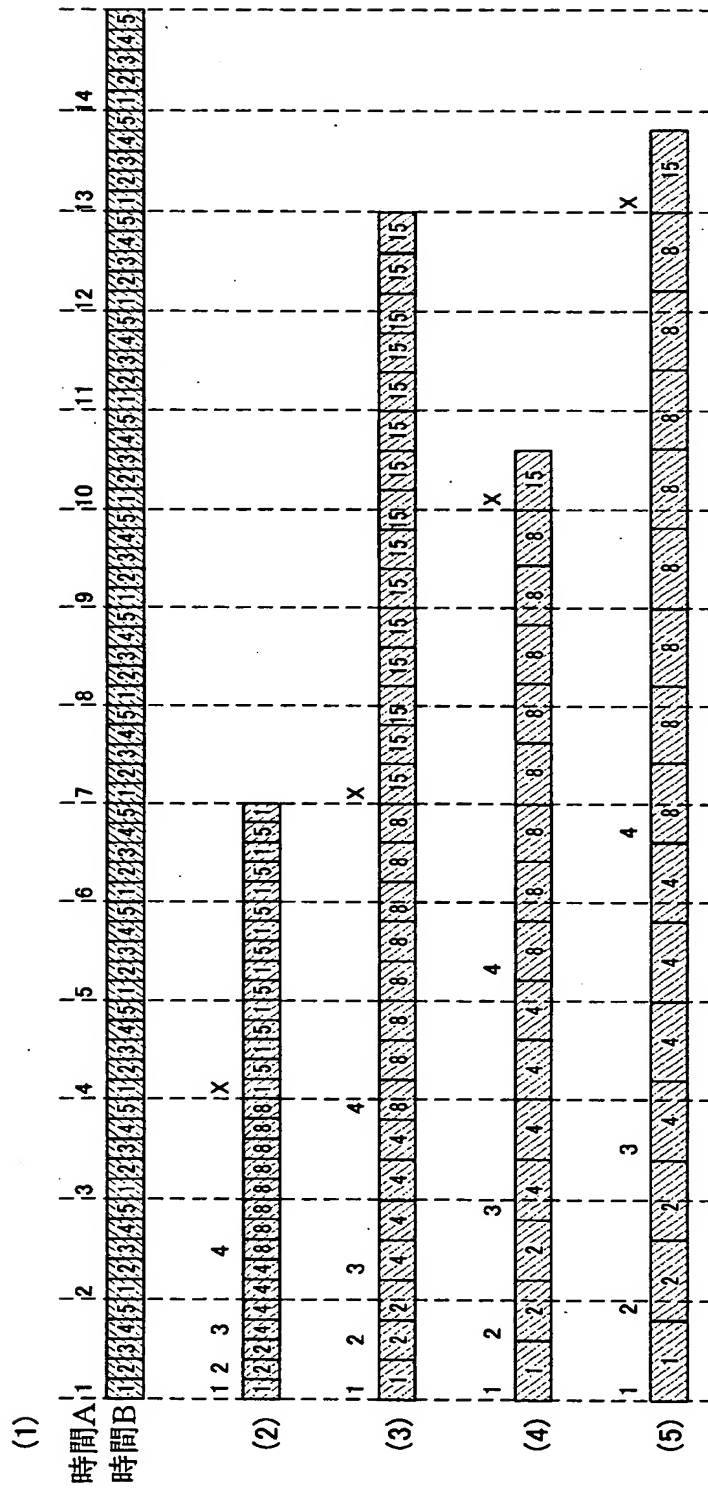
【図 23】



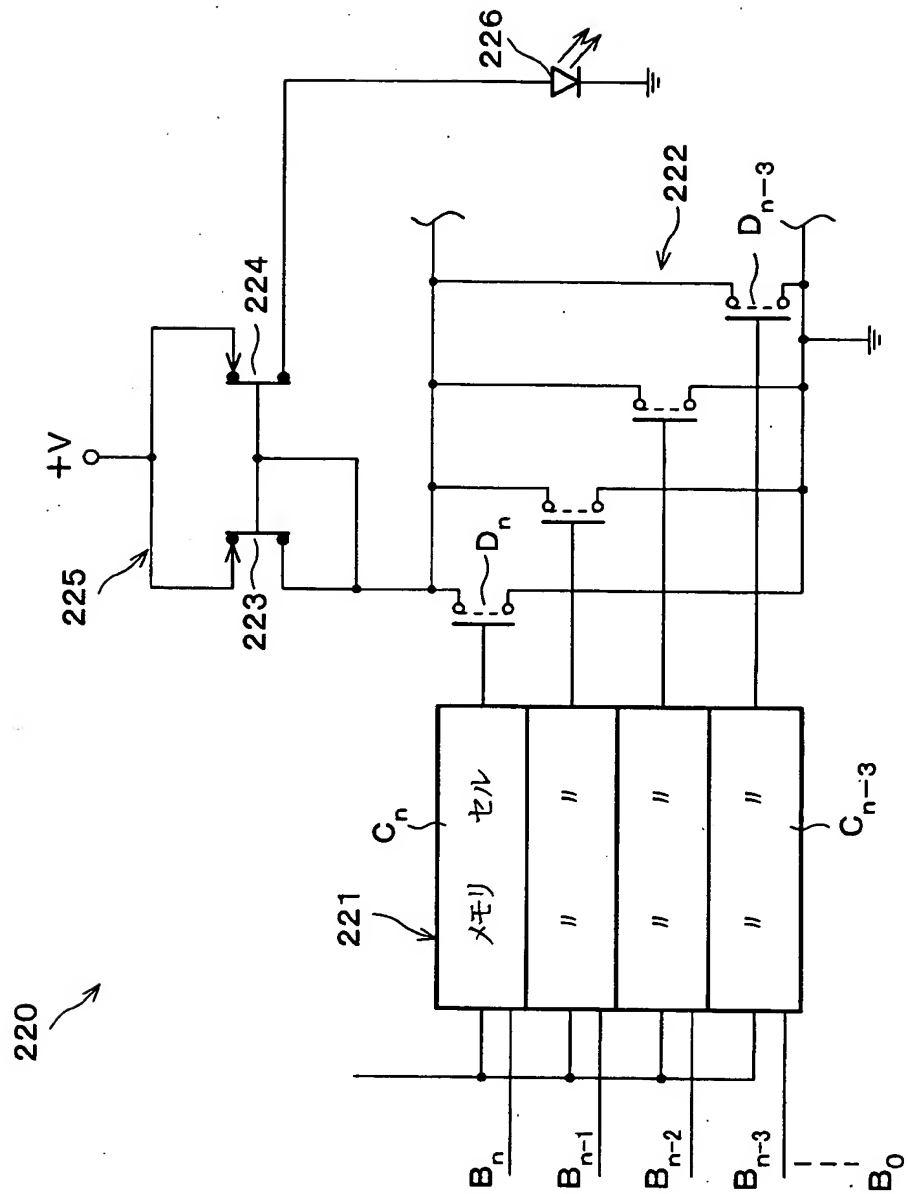
【図24】



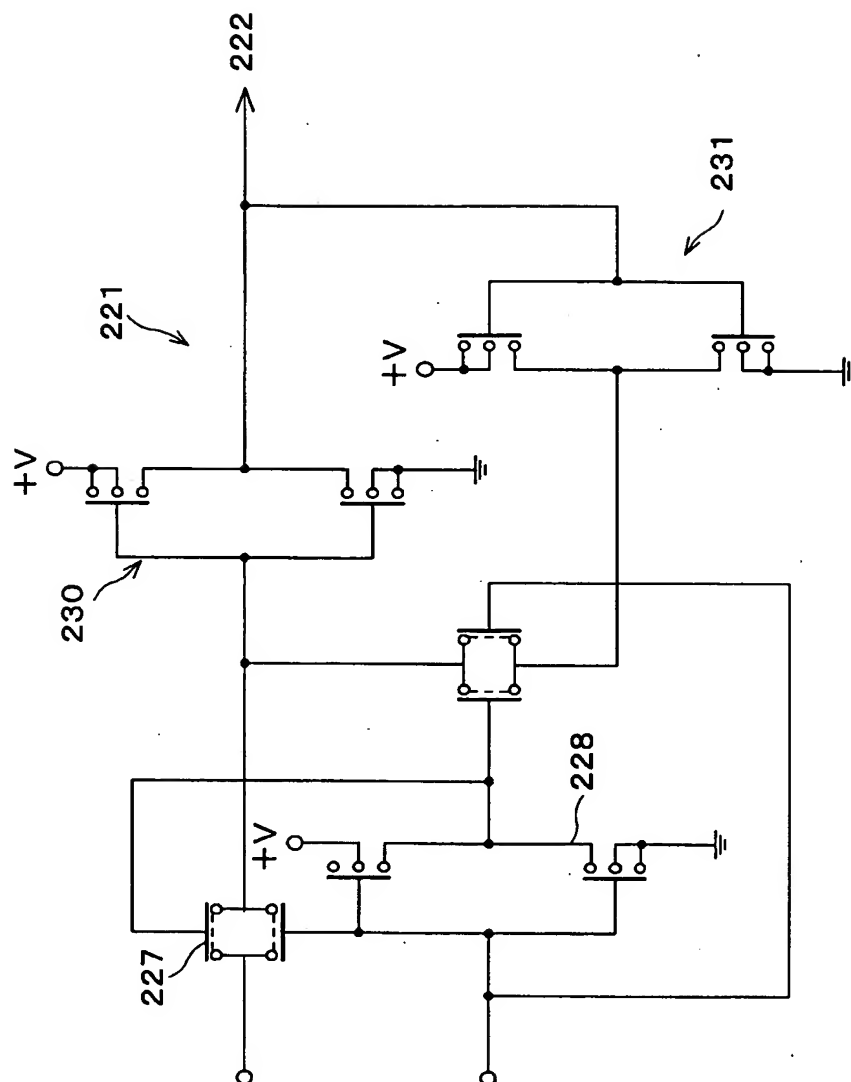
【図 25】



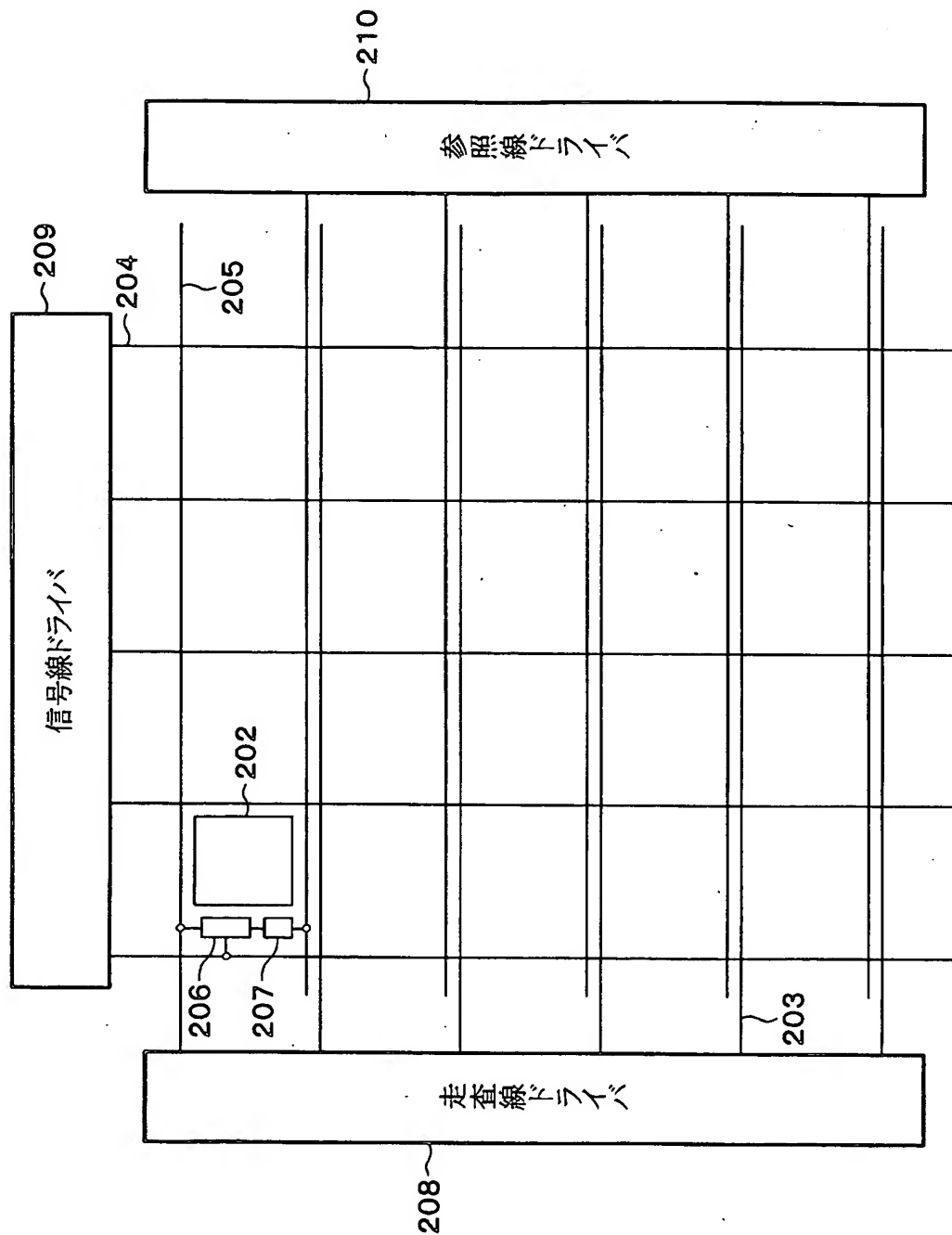
【図 26】



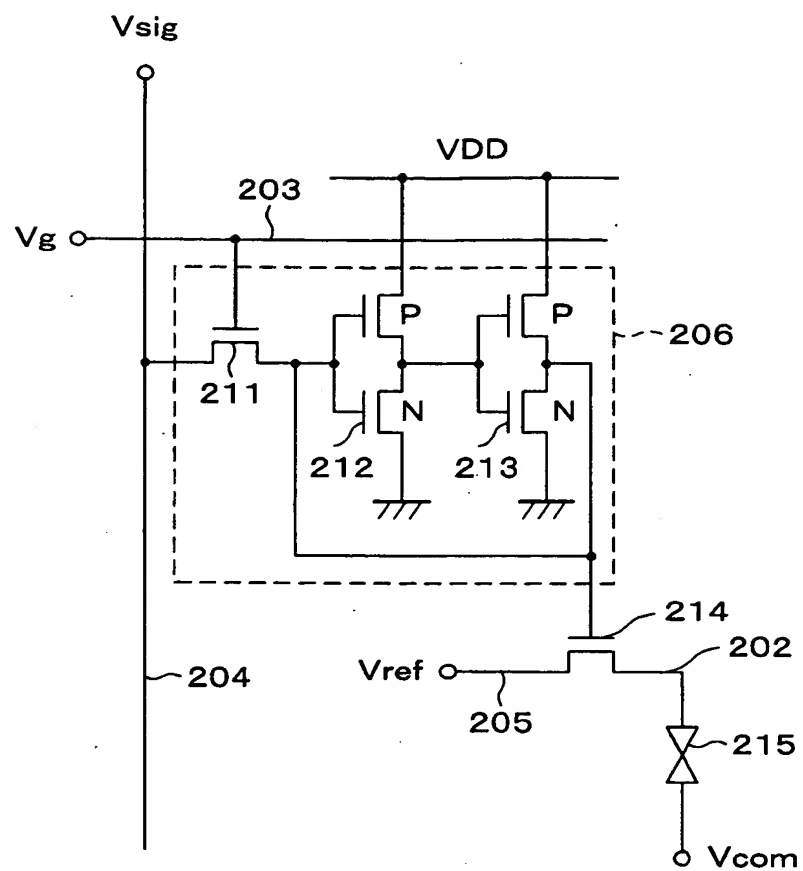
【図 2 7】



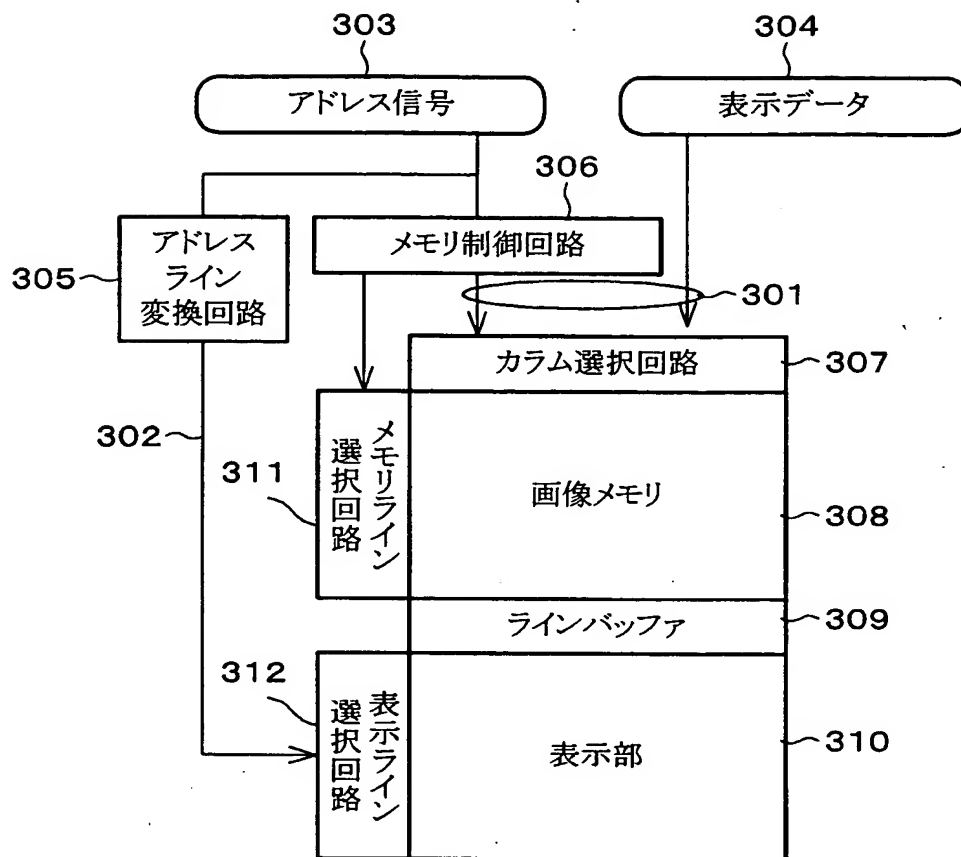
【図28】



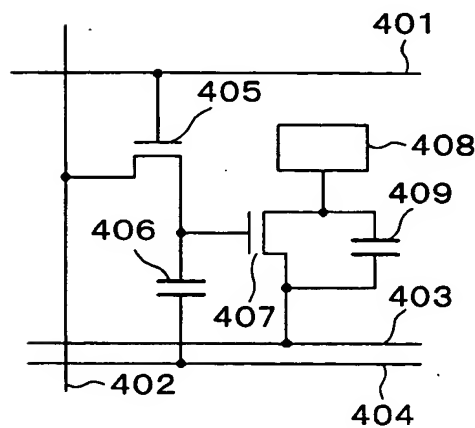
【図 29】



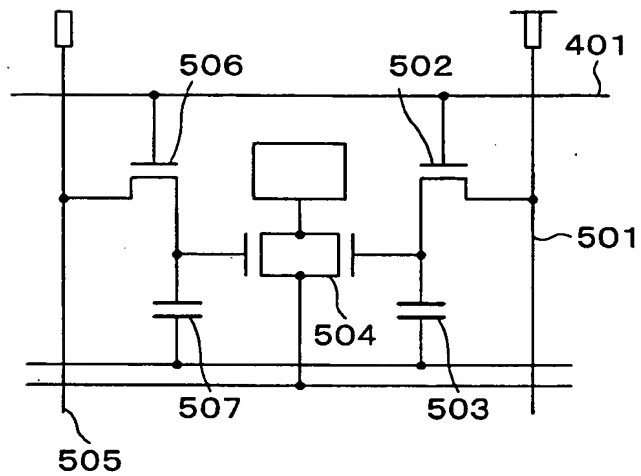
【図 30】



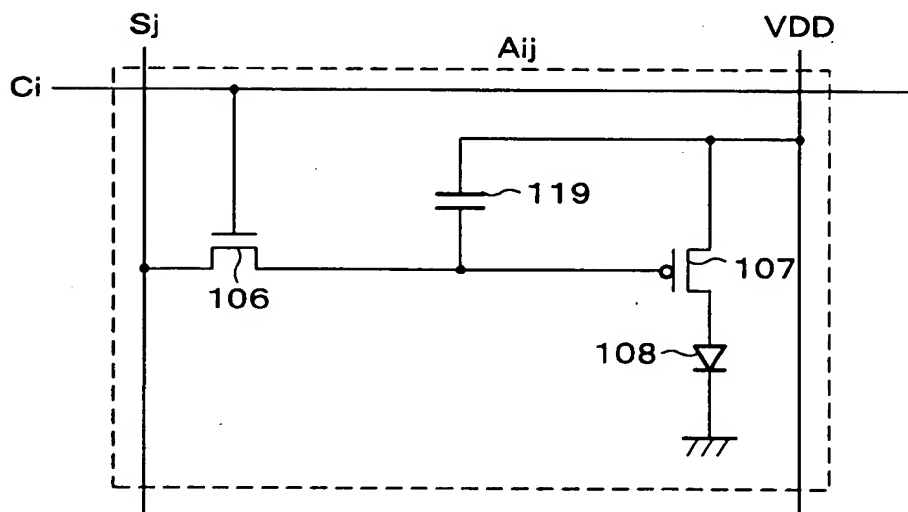
【図 31】



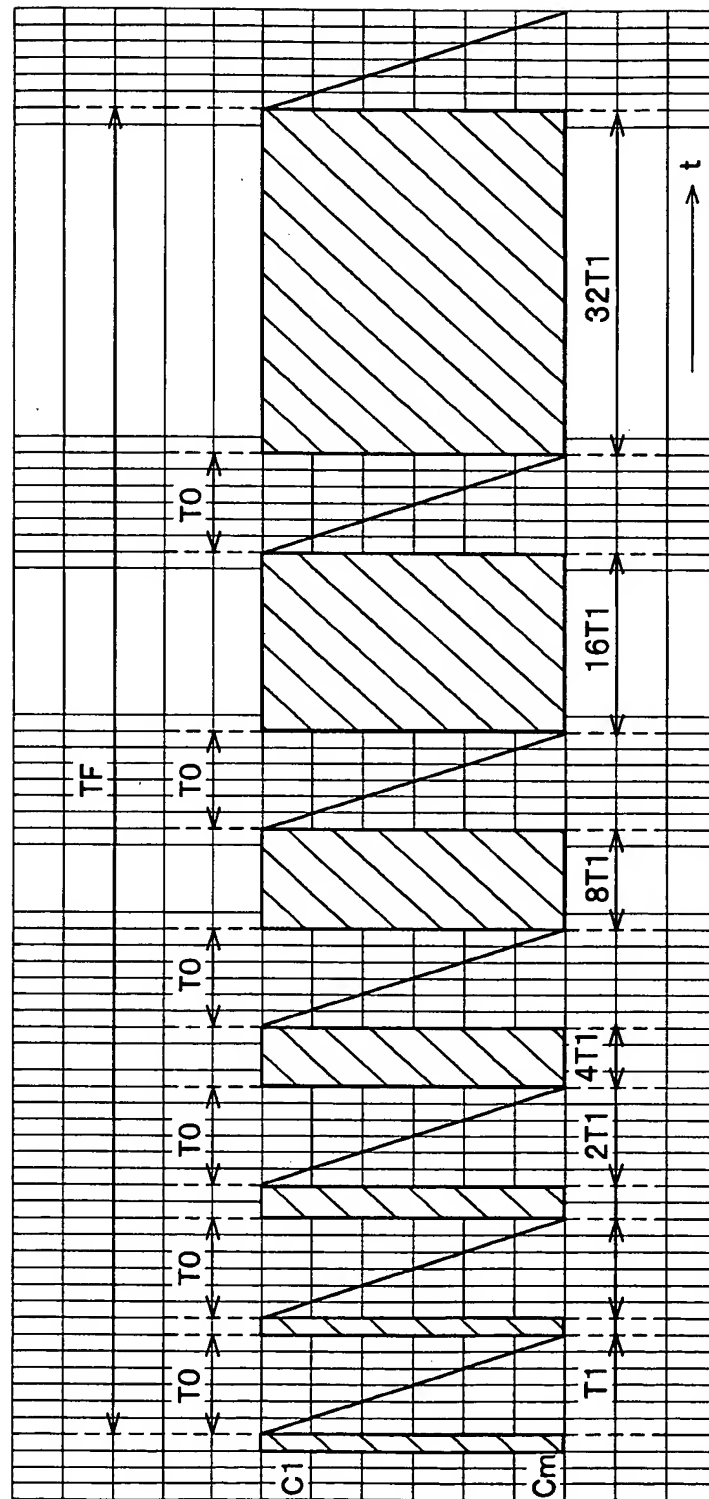
【図 3 2】



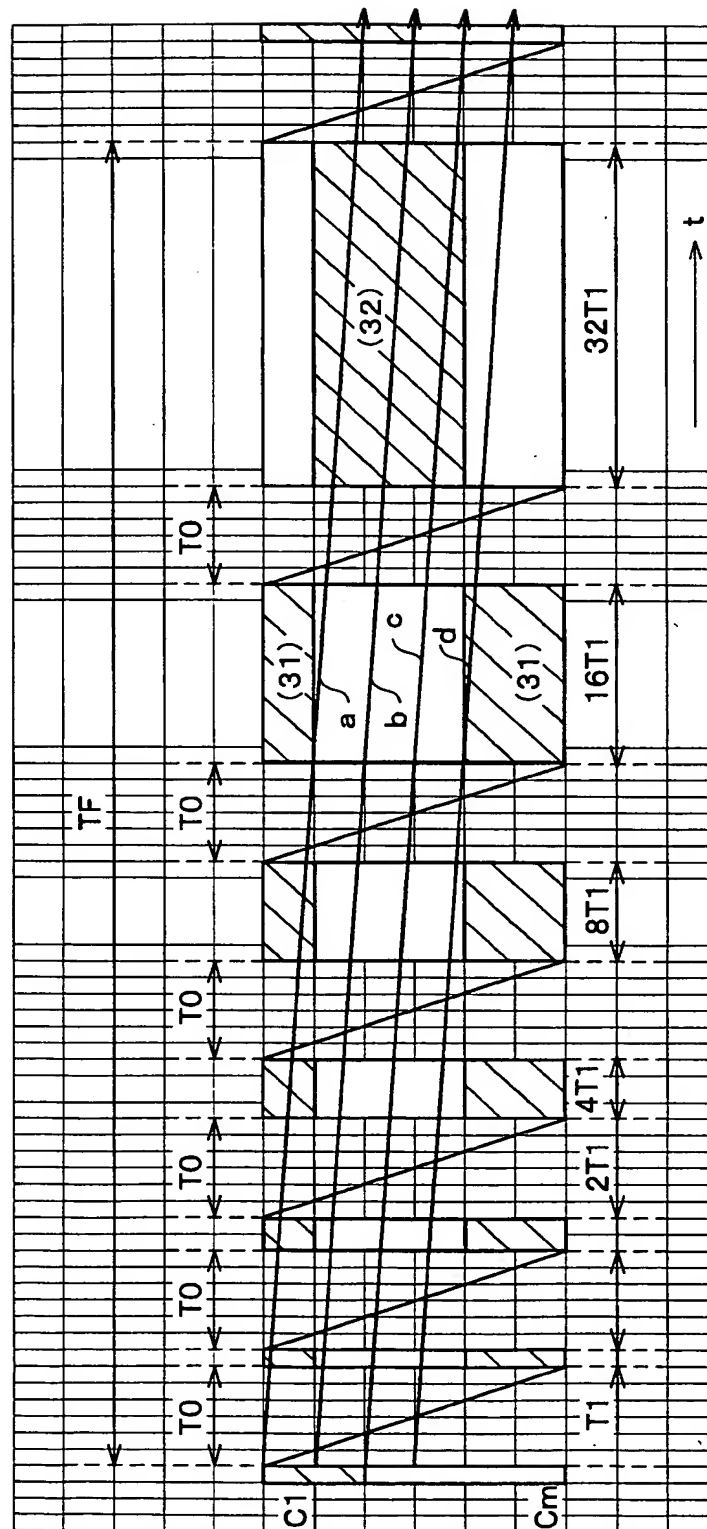
【図 3 3】



【図 34】



【図 35】



【書類名】 要約書

【要約】

【課題】 時分割階調表示を行う表示装置において、1回の表示毎に表示走査を行うことなく動画偽輪郭の発生を抑制する。

【解決手段】 最大階調のデータに対する電圧をメモリ回路9に保持させ、次に、液晶素子23に最大以外の階調のデータに対する電圧を印加し、次に、最大階調のデータに対する電圧をメモリ回路9から液晶素子23に印加する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社